

Rec'd PCT/PTO 29 DEC 2004

519,799

特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004年2月26日 (26.02.2004)

PCT

(10) 国際公開番号
WO 2004/017418 A1

(51) 国際特許分類⁷: H01L 29/78, 21/336, 21/8238, 27/092

(21) 国際出願番号: PCT/JP2002/008284

(22) 国際出願日: 2002年8月15日 (15.08.2002)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(71) 出願人(米国を除く全ての指定国について): 株式会社 ルネサステクノロジ (RENESAS TECHNOLOGY CORP.) [JP/JP]; 〒100-6334 東京都千代田区丸の内二丁目4番1号 Tokyo (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 酒井 哲 (SAKAI,Satoshi) [JP/JP]; 〒198-8512 東京都青梅市新町六丁目16番地の3 株式会社日立製作所

所デバイス開発センタ内 Tokyo (JP). 山本 智志 (YAMAMOTO,Satoshi) [JP/JP]; 〒198-8512 東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内 Tokyo (JP). 平岩 篤 (HIRAIWA,Atsushi) [JP/JP]; 〒198-8512 東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内 Tokyo (JP). 古川 亮一 (FURUKAWA,Ryoichi) [JP/JP]; 〒198-8512 東京都青梅市新町六丁目16番地の3 株式会社日立製作所デバイス開発センタ内 Tokyo (JP).

(74) 代理人: 筒井 大和 (TSUTSUI,Yamato); 〒160-0023 東京都新宿区西新宿8丁目1番1号 アゼリアビル3階 筒井国際特許事務所 Tokyo (JP).

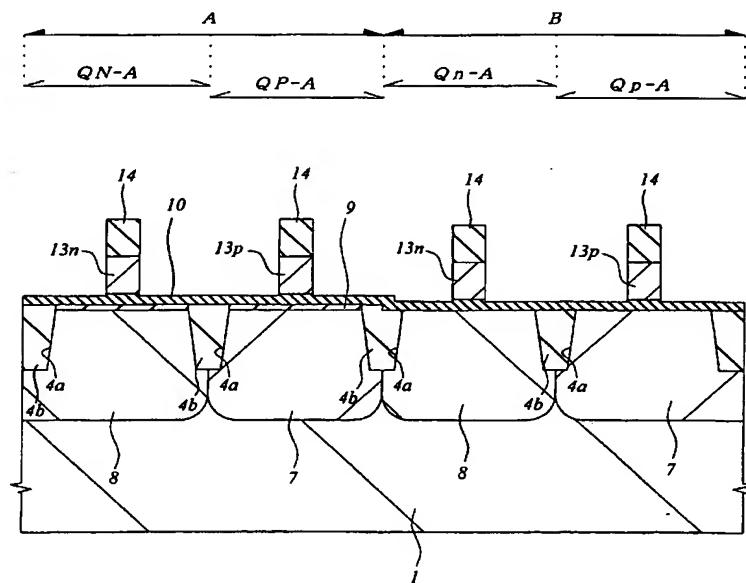
(81) 指定国(国内): CN, JP, KR, SG, US.

(84) 指定国(広域): ヨーロッパ特許(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

[続葉有]

(54) Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND METHOD FOR FABRICATING THE SAME

(54) 発明の名称: 半導体集積回路装置およびその製造方法



(57) Abstract: After a silicon oxide film (9) is formed on the surface of region A of a semiconductor substrate (1), a high permittivity insulation film (10), a silicon film, and a silicon oxide film (14) are deposited sequentially on the semiconductor substrate (1). It is then patterned to leave the silicon oxide film (14) in a region for forming a gate electrode, and the silicon films (13n, 13p) are processed using the patterned silicon oxide film (14) as a mask. At the time of removing the silicon oxide film (14), etching is performed under such conditions that the etching selecting ratio of the silicon oxide film (14) becomes high for the high permittivity insulation film (10). The high permittivity insulation film (10) is also left beneath the end part of the gate electrodes (13n, 13p) in order to ensure its withstand voltage thus enhancing the characteristics of an MISFET.

[続葉有]

WO 2004/017418 A1



添付公開書類:
— 國際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

シリコン酸化膜9を半導体基板1の領域Aの表面に形成した後、半導体基板1上に高誘電率絶縁膜10、シリコン膜、シリコン酸化膜14を順次堆積し、ゲート電極を形成する領域にシリコン酸化膜14が残存するようパターニングし、パターニングされたシリコン酸化膜14をマスクとしてシリコン膜13n、13pを加工した後、シリコン酸化膜14を除去する際、高誘電率絶縁膜10に対するシリコン酸化膜14のエッチング選択比が大きくなる条件でエッチングを行い、ゲート電極(13n、13p)の端部下にも高誘電率絶縁膜10を残存させ、その耐圧を確保し、MISFETの特性の向上を図る。

明細書

半導体集積回路装置およびその製造方法

5 技術分野

本発明は、半導体集積回路装置およびその製造技術に関し、特に、高誘電率絶縁膜をゲート絶縁膜に用いたM I S F E T (Metal Insulator Semiconductor Field Effect Transistor)を有する半導体集積回路装置に適用して有効な技術に関するものである。

10

背景技術

論理回路やメモリ等に用いられるM I S F E T (Metal Insulator Semiconductor Field Effect Transistor) は、シリコン基板を熱酸化した酸化シリコン膜よりなるゲート絶縁膜と、その上部に形成されるゲート電極を有する。

15 半導体集積回路装置の微細化やその駆動電圧の低電圧化に伴い、このようなM I S F E Tのゲート絶縁膜の膜厚は薄くなる傾向にある。

しかしながら、その薄膜化にも限界があるため、たとえば、 Al_2O_3 (酸化アルミニウム、アルミナ) 等の金属酸化物よりなる高誘電率絶縁膜 (High-K 膜) の採用が検討されている。

20 たとえば、特開2000-22007号公報には、ゲート絶縁膜を高誘電率絶縁膜で構成した半導体装置が記載されている。

本発明者らは、半導体集積回路装置の研究・開発に従事しており、M I S F E Tを構成するゲート絶縁膜に高誘電率絶縁膜の採用を検討している。

25 しかしながら、論理回路やS R A M (Static Random Access Memory) 等のメモリに用いられるM I S F E Tにおいては、そのゲート電極やゲート電極の両側に形成されるソース、ドレイン領域の低抵抗化のために、これらの領域の上部に、シリサイド層が形成される。

また、ゲート電極を精度良く加工するためには、ゲート電極となる導電性膜上の絶縁膜(例えば、シリコン酸化膜)をパターニングした後、かかる絶縁膜をマス

クにゲート電極を加工するといった方法がとられている。

この後、マスクとして用いられた絶縁膜は、前述のシリサイド化のため除去されるのであるが、この際、ゲート電極両端部のゲート絶縁膜も削れ、それを補償するためには修復酸化を行う必要がある。

5 しかしながら、追って詳細に説明するように、ゲート絶縁膜に高誘電率絶縁膜を用いた場合に、この修復酸化を行うと、ゲート電極両端部にはシリコン酸化膜が形成される為、ゲート電極端部において容量が低下し、また、高誘電率絶縁膜自身の膜質が低下する等、種々の不具合を生じ得る。

本発明の目的は、高誘電率絶縁膜をゲート絶縁膜に用いたMISFETを有する半導体集積回路装置の特性の向上を図ることを目的とする。

10 また、高誘電率絶縁膜をゲート絶縁膜に用いたMISFETを有する半導体集積回路装置に用いてより良い製造方法を提供することにある。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

15

発明の開示

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

本発明の半導体集積回路装置の製造方法は、半導体基板の上部に、高誘電率絶縁膜、導電性膜および絶縁膜を順次形成し、絶縁膜を選択的に除去することにより所定のパターンを形成し、所定のパターンを有する絶縁膜をマスクに導電性膜をエッチングすることにより導体片を形成した後、絶縁膜を除去して導体片の上面を露出させる際、導体片の両端部の半導体基板上の高誘電体膜を残した状態で、前記絶縁膜を除去して導体片の上面を露出させ、その後、導体片上に金属膜を堆積し、導体片と金属膜との接触部において反応層を形成するものである。

本発明の半導体集積回路装置は、(a)半導体基板の上部に高誘電率絶縁膜を介して形成された導体片と、(b)前記導体片の両側の半導体基板中に形成された半導体領域と、を有するMISFETであって、(c)前記導体片の端部下まで前記高誘電率絶縁膜が延在しているMISFETを有するものである。

前記導体片は、たとえば、シリコン膜であり、このシリコン膜上に、シリサイド膜を有していても良い。

図面の簡単な説明

5 図1～図33は、本発明の実施の形態1である半導体集積回路装置の製造方法を示す基板の要部断面図である。

図34～図36は、本発明の実施の形態1の効果を示すための半導体集積回路装置の製造方法を示す基板の要部断面図である。

10 図37～図46は、本発明の実施の形態2である半導体集積回路装置の製造方法を示す基板の要部断面図である。

発明を実施するための最良の形態

(実施の形態1)

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

本発明の実施の形態1である半導体集積回路装置の製造方法を図1～図33に示した半導体基板の要部断面図を用いて工程順に説明する。図中、領域Aは、実効膜厚が厚いゲート絶縁膜が形成される領域、領域Bは、実効膜厚が薄いゲート絶縁膜が形成される領域である。また、領域Aには、nチャネル型MISFET(以下、「nMIS」という)QNが形成される領域QN-Aおよびpチャネル型MISFET(以下、「pMIS」という)QPが形成される領域QP-Aが存在する。さらに、領域Bには、nチャネル型MISFETQnが形成される領域Qn-Aおよびpチャネル型MISFETQpが形成される領域Qp-Aが存在する。また、領域QN-AおよびQn-Aを、nMIS形成領域と、領域QP-AおよびQp-Aを、pMIS形成領域という。すなわち同一基板上には4種類のMISFETが形成される。なお、この他、閾値電位(Vth)が異なる種々のMISFETを、領域AもしくはBに形成してもよい。

まず、図1に示すように、たとえばp型のシリコン単結晶からなる半導体基板

1 を用意する。次に、この半導体基板 1 を熱酸化してその表面に厚さ $0.01 \mu\text{m}$ 程度の薄いシリコン酸化膜 2 を形成し、次いでその上層に CVD (chemical vapor deposition) 法で厚さ $0.1 \mu\text{m}$ 程度のシリコン窒化膜 3 を堆積する。

この後、半導体基板 1 の素子形成領域のシリコン窒化膜 3 上に図示しないレジストパターンを形成し、このレジストパターンをマスクとしてシリコン窒化膜 3 をエッチングする。その結果、半導体基板 1 の素子分離領域上のシリコン窒化膜 3 が除去される。

次いで、パターニングされたシリコン窒化膜 3 をマスクとしてシリコン酸化膜 2 および半導体基板 1 を順次ドライエッチングすることにより、素子分離領域の半導体基板 1 に深さ $0.35 \mu\text{m}$ 程度の素子分離溝 4 a を形成する。

次に、図 2 に示すように、半導体基板 1 に熱酸化処理を施して素子分離溝 4 a の表面に、薄いシリコン酸化膜（図示せず）を形成した後、半導体基板 1 上に CVD 法でシリコン酸化膜 4 b を堆積する。

次に、図 3 に示すように、シリコン酸化膜 4 b の表面を CMP (chemical mechanical polishing) 法で研磨して、素子分離溝 4 a の内部にシリコン酸化膜 4 b を残すことにより素子分離を形成する。その後、半導体基板 1 に約 1000°C の熱処理を施して、素子分離溝 4 a に埋め込んだシリコン酸化膜 4 b を焼き締めする。この素子分離は、領域 A と領域 B との間、領域 QN-A と領域 QP-A との間や領域 Qn-A と領域 Qp-A との間を分離する。

次いで、熱リン酸を用いてシリコン窒化膜 3 を除去し、続いてフッ酸系の水溶液を用いて半導体基板 1 の表面のシリコン酸化膜 2 を除去した後、半導体基板 1 を熱酸化して、半導体基板 1 の表面にシリコン酸化膜の保護膜 5 を形成する。

次に、図 4 に示すように、領域 A および B の nMIS 形成領域 (QN-A, Qn-A) をレジストパターン RP 3 で覆い、領域 A および B の pMIS 形成領域 (QP-A, Qp-A) に n 型不純物、たとえばリン (P) をイオン注入して n ウエル 7 を形成する。上記リンは、たとえば注入エネルギー $500 \sim 100 \text{ keV}$ 、ドーズ量 $5 \times 10^{11} \sim 5 \times 10^{12} \text{ cm}^{-2}$ で注入され、エネルギーを変えて 2、3 回程度連続してイオン注入することにより、レトログレードウェルが形成される。

次に、レジストパターンRP3を除去した後、図5に示すように、領域AおよびBのpMIS形成領域(QP-A、Qp-A)をレジストパターンRP4で覆い、領域AおよびBのnMIS形成領域(QN-A、Qn-A)にp型不純物、たとえばボロン(B)またはフッ化ボロン(BF₂)をイオン注入してpウェル58を形成する。上記ボロンまたはフッ化ボロンは、たとえば注入エネルギー500～100keV、ドーズ量 $5 \times 10^{11} \sim 5 \times 10^{12} \text{ cm}^{-2}$ で注入され、エネルギーを変えて2、3回連続してイオン注入することにより、レトログレードウェルが形成される。

次に、レジストパターンRP4を除去した後、MISFETの閾値電位V_{th}10を調整するための不純物をnウェル7およびpウェル8のそれぞれのチャネル領域へイオン注入する(チャネルインプラ)。チャネル領域へのイオン注入は、たとえば以下のように行う。

まず、図6に示すように、nMIS形成領域(QN-A)を開口したレジストパターンRP7をマスクとしてnMIS形成領域(QN-A)のチャネル領域にp型不純物、たとえばフッ化ボロンをイオン注入する。上記フッ化ボロンは、たとえば注入エネルギー25keV、ドーズ量 $8 \times 10^{12} \text{ cm}^{-2}$ で注入される。

次いで、pMIS形成領域(QP-A)についても同様に不純物を注入する。すなわち、pMIS形成領域(QP-A)を開口したレジストパターン(図示せず)をマスクとしてn型不純物、たとえばリンを、たとえば注入エネルギー20keV、ドーズ量 $1.1 \times 10^{13} \text{ cm}^{-2}$ で注入する。なお、他のMIS形成領域(Qn-A、Qp-A等)についても、かかる領域に形成されるMISFETの閾値に応じて、適宜不純物を注入する。

次に、チャネルインプラの際に、マスクとなったレジストパターンを除去した後、図7に示すように、保護膜5を除去し、半導体基板1の表面にシリコン酸化膜9を、たとえば4～5nm程度の厚さで形成する。シリコン酸化膜9は、たとえば熱CVD法または熱酸化法により形成することができる。なお、半導体基板1に熱窒化処理を施して、上記シリコン酸化膜9をシリコン酸窒化膜としてもよい。上記熱窒化処理は、たとえばプラズマ放電によってラジカル化した窒素を含む減圧雰囲気中に900°C程度に加熱した半導体基板1を保持することによって

行われる。

次に、図8に示すように、領域Aをレジストパターン（図示せず）で覆った後、たとえばフッ酸系の水溶液を用いて領域Bのシリコン酸化膜9を除去する。その後、レジストパターンを除去する。

5 次に、図9に示すように、半導体基板1上に高誘電率絶縁膜10、たとえばアルミナ膜（アルミニウム酸化膜、 Al_xO_y ）を形成する。高誘電率絶縁膜10は、たとえばスパッタ法により堆積することができる。高誘電率絶縁膜としては、アルミナ膜の他、チタン酸化膜（ TiO_x ）、ジルコニウム酸化膜（ ZrO_x ）、ハフニウム酸化膜（ HfO_x ）、タンタル酸化膜（ TaO_x ）またはルテニウム酸化膜（ RuO_x ）などを用いても良い。

ここで、高誘電率絶縁膜とは、比誘電率が、2.0以上の膜をいう。また、高誘電率絶縁膜とは、シリコン酸化膜9のような熱酸化膜またはシリコン酸化膜4bのようなCVD酸化膜の比誘電率よりも大きい比誘電率を有する膜をいう。

半導体基板1上に形成された高誘電率絶縁膜10の厚さは酸化膜換算膜厚で1nm程度となるように設定され、たとえばアルミナ膜の場合は、比誘電率を考慮して10nm程度堆積される。高誘電率絶縁膜10は、MISのゲート絶縁膜となる。すなわち、後述するように、領域Bには、高誘電率絶縁膜10からなる実効膜厚が1nm程度のゲート絶縁膜（11）が形成され、領域Aには、高誘電率絶縁膜10とシリコン酸化膜9との積層膜からなる酸化膜換算膜厚が5~6nm程度のゲート絶縁膜（12）が形成される。

このように、領域Bにおいて、高誘電率絶縁膜10をゲート絶縁膜として用いることにより、ゲート絶縁膜の膜厚を比較的厚くしても、容量を大きくすることができます。従って、ゲート電極の幅が0.1μm以下となるような微細なMISFETの形成にも対応が可能となる。

25 また、このような微細なMISFETのゲート絶縁膜を、熱酸化膜のみで構成するとその厚さは、1nm以下になると予想されている。しかしながら、熱酸化膜を1nm以下にするとリーク電流が10A/cm²を越えてしまい消費電流（たとえばスタンバイ電流）が増加してしまう。

従って、高誘電率絶縁膜をゲート絶縁膜として用いることにより、消費電流の

低減を図ることができる。

また、領域Aには、ゲート絶縁膜の厚さが相対的に厚いMISFETが形成される。このようなMISFETは、たとえば消費電力の低減、記憶情報の保持、または外部電源電圧への対応などから、ゲート絶縁膜の厚さが相対的に厚く形成
5 される。そこで、高誘電率絶縁膜10とシリコン酸化膜9との積層膜からなるゲート絶縁膜(12)を形成するのである。

なお、特に領域Bにおいては、上記高誘電率絶縁膜10を半導体基板1上に形成する前に、半導体基板1との界面安定化のため、1nm以下のシリコン酸化膜、シリコン窒化膜またはシリコン酸窒化膜を形成してもよい。

10 次に、図10に示すように、半導体基板1上に、たとえば200nm程度の厚さのシリコン膜(導電性膜)13をCVD法で堆積する。

次に、図11に示すように、領域AおよびBのnMIS形成領域(QN-A、Qn-A)にレジストパターンRP12を形成した後、このレジストパターンRP12をマスクとしてシリコン膜13にp型不純物、たとえばボロンをイオン注入
15 入する(13p)。

次に、レジストパターンRP12を除去し、続いて図12に示すように、領域AおよびBのpMIS形成領域(QP-A、Qp-A)にレジストパターンRP13を形成した後、このレジストパターンRP13をマスクとしてシリコン膜13にn型不純物、たとえばリンをイオン注入する(13n)。

20 次いでレジストパターンRP13を除去した後、半導体基板1に、たとえば950°C、60秒程度の熱処理を施して、シリコン膜13に注入された上記n型不純物およびp型不純物を活性化させ、領域AおよびBのnMIS形成領域(QN-A、Qn-A)のシリコン膜13をn型シリコン多結晶膜13nに、領域AおよびBのpMIS形成領域(QP-A、Qp-A)のシリコン膜13をp型シリ
25 コン多結晶膜13pに変える。このシリコン膜13は、後述するように、nMISおよびpMISのゲート電極となるが、このように、nMISのゲート電極をn型に、pMISのゲート電極をp型にすることによって、低しきい値で短チャネル効果を抑制することができる。

次に、図13に示すように、半導体基板1上に絶縁膜としてたとえばシリコン

酸化膜（絶縁膜、キャップ絶縁膜）14を10nm程度CVD法で堆積した後、図14に示すように、nMISおよびpMISのゲート電極を形成する領域に、レジストパターンRP14を形成する。

次に、図15に示すように、レジストパターンRP14をマスクとしてシリコン酸化膜14をエッティングした後、レジストパターンRP14を除去する。続いて、図16に示すように、パターニングされたシリコン酸化膜14をマスクとしてシリコン膜13n、13pをエッティングする。

このように、パターニングされたシリコン酸化膜14をマスクとしてシリコン膜13n、13pを加工することにより、ゲート電極（13n、13p）が、微細なパターンであっても精度良くエッティングをすることができる。

たとえば、シリコン膜13n、13p上に直接レジストパターンRP14を形成し、かかるパターンをマスクにシリコン膜13n、13pを加工することも可能であるが、エッティングされたレジストにより、エッティングチャンバ内の雰囲気が変化し、シリコン膜13n、13pとのエッティング選択比が確保できない場合があり、微細な加工が困難となる。また、微細パターンの加工をレジストを厚くして行うと、光の透過率の問題からその解像が困難となる。従って、レジストを用いた場合には、微細パターンの加工を精度良く行えない。

従って、シリコン膜13n、13pとの選択比を確保しやすいシリコン酸化膜14をマスクにシリコン膜をエッティングすることにより上記効果を奏することができる。

このシリコン膜13n、13pのエッティングにより、領域AおよびBのnMIS形成領域（QN-A、Qn-A）にn型シリコン多結晶膜からなるゲート電極（導体片）13n、領域AおよびBのpMIS形成領域（QP-A、Qp-A）にp型シリコン多結晶膜からなるゲート電極（導体片）13pが形成される。この際、ゲート電極（13n、13p）間から露出する高誘電率絶縁膜10が残存するよう、シリコン膜13n、13pのエッティング条件を調整する。すなわち、高誘電率絶縁膜10やシリコン酸化膜14に対するシリコン膜のエッティング選択比が大きくなる条件でエッティングを行う。言い換えれば、シリコン膜がエッティングされ易く、高誘電率絶縁膜10やシリコン酸化膜14がエッティングされ難い条

件でエッティングを行う。この場合、エッティング選択比が大きいとは、(シリコン膜のエッティング速度)／(高誘電率絶縁膜のエッティング速度)が、大きく、かつ、(シリコン膜のエッティング速度)／(シリコン酸化膜のエッティング速度)が、大きいことを意味する。

5 図17に、図16のnMIS形成領域QN-AおよびQn-Aの部分拡大図を示す。なお、pMIS形成領域においては、不純物の導電型が異なることを除いて類似の構造となるため、拡大図の図示を省略する。図示するように、ゲート電極13nの底部より高誘電率絶縁膜10の表面が若干後退しても、半導体基板1上に高誘電率絶縁膜10が残存していれば良い。

10 次に、図18に示すように、シリコン酸化膜14を除去するのであるが、この際、高誘電率絶縁膜10に対するシリコン酸化膜14のエッティング選択比が大きくなる条件でエッティングを行う。言い換えれば、シリコン酸化膜14がエッティングされ易く、高誘電率絶縁膜10がエッティングされ難い条件でエッティングを行う。たとえば、シリコン酸化膜14の膜厚が10nmの場合、高誘電率絶縁膜10の削れ量を0.1nm以下とする。エッティング選択比とは、(シリコン酸化膜のエッティング速度)／(高誘電率絶縁膜のエッティング速度)であり、この場合の選択比は100となる。

20 この工程においては、エッティング選択比が大きいとは、(シリコン酸化膜のエッティング速度)／(高誘電率絶縁膜のエッティング速度)が、100より大きいことを意味するものとする。たとえば、エッティング液として、希フッ酸(HF)を用いた場合は、シリコン酸化膜14がエッティングされ易く、高誘電率絶縁膜10がエッティングされ難い。なお、シリコン酸化膜14のエッティングは、前記選択比が確保できれば、ウエットエッティングでも、ドライエッティングでもよい。

25 図19に、図18のnMIS形成領域QN-AおよびQn-Aの部分拡大図を示す。

このように、本実施の形態においては、シリコン酸化膜14を、高誘電率絶縁膜10に対するシリコン酸化膜14のエッティング選択比が大きくなる条件でエッティングしたので、ゲート電極の端部下にも高誘電率絶縁膜10を残存させることができる。言い換えれば、ゲート電極13nの両端部の高誘電率絶縁膜10を残

存させた状態でシリコン酸化膜14を除去し、ゲート電極13nの上面を露出させたので、ゲート絶縁膜（高誘電率絶縁膜10）の耐圧を確保できる。また、一般的に行われている修復酸化（ライト酸化）工程を省くことができる。

たとえば、図34に示すように、ゲート絶縁膜を、半導体基板（シリコン基板5）1の表面を熱酸化することにより形成した場合を考える。この場合のゲート絶縁膜（熱酸化膜）を111とし、シリコン酸化膜14をマスクにゲート電極をエッティングし、さらに、図35に示すように、シリコン酸化膜14をたとえば希ふつ酸（HF）液を用いて除去した場合、ゲート電極13の端部下までエッティングが進む。その結果、ゲート電極13の端部下に窪み110が生じる。これは、熱10酸化膜111よりCVD酸化膜であるシリコン酸化膜14の方がエッティング速度は大きいが、これらの組成は同じ（SiO₂）であり、また、シリコン酸化膜14の膜厚が、熱酸化膜111の膜厚に対して非常に大きいことによる。前述したように、たとえば、熱酸化膜111は、ゲート電極の幅が、0.1μm以下となるような場合には、1nm以下になると予想されている。

15 また、特に、図34に示すように、ゲート電極13のエッティング後に、その底部よりゲート絶縁膜（熱酸化膜）111の表面が後退している場合には、窪み110が大きくなりやすい。

このような窪み110が生じると、ゲート電極13の端部下における耐圧が劣化する。

20 そこで、図36に示すように、シリコン膜よりなるゲート電極13の表面を僅かに酸化し、熱酸化膜103を形成することにより、窪み110の内部に、再び、熱酸化膜103を形成する、いわゆる、修復酸化が行われている。なお、ゲート電極13の上面に形成された熱酸化膜103は、その後、除去される。

これに対し本実施の形態においては、シリコン酸化膜14と高誘電率絶縁膜10との組成が異なることを利用し、エッティング選択比を確保することで、図35に示すような窪み110の発生を低減することができる。

従って、ゲート電極13の端部下にも、高誘電率絶縁膜10が残存する（図19参照）。言い換えれば、ゲート電極13の端部下まで高誘電率絶縁膜10が延在していることとなり、耐圧を向上させることができる。また、容量を確保するこ

とができる。

次に、図20に示すように、領域AのpMIS形成領域(QP-A)のnウェル7にp型不純物、たとえばフッ化ボロンをイオン注入し、ゲート電極13pの両側のnウェル7にp⁻型半導体領域16aを形成し、続いてn型不純物、たとえればリンをイオン注入し、パンチスルーストッパ層として機能するハロー(Halo)層(図示せず)を形成する。上記フッ化ボロンは、たとえば注入エネルギー2～3keV、ドーザ量 $1 \times 10^{15} \text{ cm}^{-2}$ 、上記リンは、たとえれば注入エネルギー55keV、ドーザ量 $4 \times 10^{12} \text{ cm}^{-2}$ で注入される。

次に、領域AのnMIS形成領域(QN-A)のpウェル8にn型不純物、たとえればヒ素をイオン注入して、ゲート電極13nの両側のpウェル8にn⁻型半導体領域17aを形成し、続いてp型不純物、たとえればボロンをイオン注入してハロー層(図示せず)を形成する。上記ヒ素は、たとえれば注入エネルギー5keV、ドーザ量 $2 \times 10^{15} \text{ cm}^{-2}$ 、上記ボロンは、たとえれば注入エネルギー20keV、ドーザ量 $6 \times 10^{12} \text{ cm}^{-2}$ で注入される。

次に、図21に示すように、領域BのpMIS形成領域(Qp-A)のnウェル7にp型不純物、たとえればフッ化ボロンをイオン注入して、ゲート電極13pの両側のnウェル7にp型拡張領域(エクステンション領域)16bを形成し、続いてn型不純物、たとえればリンをイオン注入しハロー層(図示せず)を形成する。上記フッ化ボロンは、たとえれば注入エネルギー2～3keV、ドーザ量 $1 \times 10^{15} \text{ cm}^{-2}$ 、上記リンは、たとえれば注入エネルギー55keV、ドーザ量 $1 \times 10^{13} \text{ cm}^{-2}$ で注入される。

次に、領域BのnMIS形成領域(Qn-A)のpウェル8にn型不純物、たとえればヒ素をイオン注入して、ゲート電極13nの両側のpウェル8にn型拡張領域17bを形成し、続いてp型不純物、たとえればボロンをイオン注入しハロー層(図示せず)を形成する。上記ヒ素は、たとえれば注入エネルギー3keV、ドーザ量 $2 \times 10^{15} \text{ cm}^{-2}$ 、上記ボロンは、たとえれば注入エネルギー55keV、ドーザ量 $1 \times 10^{13} \text{ cm}^{-2}$ で注入される。

次に、図22に示すように、半導体基板1上にシリコン酸化膜(絶縁膜)をCVD法で堆積し、続いてそのシリコン酸化膜を異方性エッチングすることにより

、ゲート電極13n、13pの側壁にサイドウォール（側壁膜）18を形成する。

ここで、本実施の形態においては、高誘電率絶縁膜10をサイドウォール18

形成時まで残存させているので、高誘電率絶縁膜10をエッティングストップ層と

5 して機能させることにより、半導体基板1へのダメージを低減することができる

。

次に、図23に示すように、サイドウォール18およびゲート電極13n、1

3pをマスクに、これらの間に露出した高誘電率絶縁膜10を、たとえばスパッ

タエッティングで除去する。

10 ここで、本実施の形態においては、高誘電率絶縁膜10をサイドウォール18

形成時まで残存させているので、シリコン酸化膜の異方性エッティング時や高誘電

率絶縁膜10のスパッタエッティング時に、サイドウォール18の端部下からエッ

チングが進んでも、ゲート電極（13n、13p）の端部下まではエッティングが

進行し難く、ゲート絶縁膜の耐圧を確保することができる。

15 図24に、図23のnMIS形成領域Qn-Aの部分拡大図を示す。図示する

ように、高誘電率絶縁膜10は、サイドウォール（側壁膜）18の下まで延在し

ている。また、ゲート電極13n下の高誘電率絶縁膜10の幅W1は、半導体基

板の表面部の幅W2より小さい（ $W1 < W2$ ）。

続いて、図25に示すように、サイドウォール18およびゲート電極13n、

20 13pをマスクに、これらの間に露出した領域Aのシリコン酸化膜9を、たとえ

ばウェットエッティングで除去する。

図26に、図25のnMIS形成領域QN-Aの部分拡大図を示す。図示する

ように、高誘電率絶縁膜10およびシリコン酸化膜9は、サイドウォール（側壁

膜）18の下まで延在している。また、ゲート電極下の高誘電率絶縁膜10の幅

25 W1は、シリコン酸化膜9の表面部の幅W2より小さい（ $W1 < W2$ ）。

この結果、領域Bには、高誘電率絶縁膜10からなる酸化膜換算膜厚が1nm

程度のゲート絶縁膜11が形成され、領域Aには、高誘電率絶縁膜10とシリコ

ン酸化膜9との積層膜からなる酸化膜換算膜厚が5～6nm程度のゲート絶縁膜

12が形成される（図25）。

次に、図27に示すように、レジストパターンRP19をマスクとして領域AおよびBのnMIS形成領域(QN-A、Qn-A)のpウェル8にn型不純物、たとえばヒ素をイオン注入し、ゲート電極13nの両側のpウェル8にn⁺型半導体領域19を形成する。n⁺型半導体領域19は、ゲート電極13nおよび5 サイドウォール18に対して自己整合的に形成され、nMISのソース、ドレインとして機能する。また、この際、n型不純物はゲート電極13n中にも注入される。このnMISのソース、ドレインとゲート電極13n中の不純物は、同じ導電型であるため不純物が注入されても問題は無く、また、ゲート電極13n中の不純物が足りない場合には、これを補うこととなる。

10 次に、レジストパターンRP19を除去し、図28に示すように、レジストパターンRP20をマスクとして領域AおよびBのpMIS形成領域(QP-A、Qp-A)のnウェル7にp型不純物、たとえばフッ化ボロンをイオン注入し、ゲート電極13pの両側のnウェル7にp⁺型半導体領域20を形成する。p⁺型半導体領域20は、ゲート電極13pおよびサイドウォール18に対して自己整合的に形成され、pMISのソース、ドレインとして機能する。また、この際、p型不純物はゲート電極13p中にも注入される。このpMISのソース、ドレインとゲート電極13p中の不純物は、同じ導電型であるため不純物が注入されても問題は無く、また、ゲート電極13p中の不純物が足りない場合には、これを補うこととなる。次いで、レジストパターンRP20を除去する。

15 20 次に、図29に示すように、高融点金属膜21aとして、たとえば厚さ10～20nm程度のコバルト膜を、たとえばスパッタ法で半導体基板1上に堆積する。

次いで、図30に示すように、500～600°C程度の熱処理を半導体基板1に施してnMISのゲート電極13nの表面とn⁺型半導体領域19の表面、およびpMISのゲート電極13pの表面とp⁺型半導体領域20の表面に選択的に厚さ30nm程度、比抵抗4Ωcm程度のコバルトシリサイド層21bを形成する。言い換えれば、シリコンよりなるゲート電極やソース、ドレイン領域と高融点金属膜との接触部において、シリコンと高融点金属膜との反応層を形成する(図30)。

この後、図3 1に示すように、未反応のコバルト膜2 1 aをウェットエッチングで除去し、次いでシリサイド層2 1 bの低抵抗化のため700～800°C程度の熱処理を半導体基板1に施す。

ここで、本実施の形態においては、シリコン酸化膜1 4をあらかじめ除去して5あるので、ゲート電極1 3 n、1 3 pの上部においてもシリサイド層2 1 bを形成することができ、ゲート電極（1 3 n、1 3 p）自身の低抵抗化を図ることができ、また、後述するプラグとゲート電極との接触抵抗の低減を図ることができる。

また、シリサイド層2 1 bは、n⁺型半導体領域1 9およびp⁺型半導体領域2 10（ソース、ドレイン領域）の上部にも形成され、これらの低抵抗化を図ることができ、また、後述するプラグとソース、ドレイン領域との接触抵抗の低減を図ることができる。

このようにゲート電極（1 3 n、1 3 p）上にシリサイド層を形成するためには、かかる工程の前までに、ゲート電極上のシリコン酸化膜1 4が前記条件で除去されていれば良い。図3 2に、図3 1のnMIS形成領域QN-AおよびQn-Aの部分拡大図を示す。

次に、図3 3に示すように、半導体基板1上にシリコン酸化膜2 2を形成した後、そのシリコン酸化膜2 2の表面を、たとえばCMP法で研磨することにより平坦化する。シリコン酸化膜2 2は、たとえばTEOS (tetra ethyl ortho silicate : Si (OC₂H₅)₄)とオゾン (O₃)とをソースガスに用いたプラズマCVD法で形成することができる。かかる膜は、TEOS膜と呼ばれる。

次に、レジストパターンをマスクとしたエッチングによってシリコン酸化膜2 2に接続孔2 3を形成する。この接続孔2 3は、たとえばn⁺型半導体領域1 9またはp⁺型半導体領域2 0の必要部分に形成する。また、図示はしないが、ゲ25ート電極上にも形成される。

次いで接続孔2 3の内部を含む半導体基板1の全面にチタン窒化膜を、たとえばCVD法で堆積し、さらに接続孔2 3を埋め込むタンゲステン膜を、たとえばCVD法で堆積する。その後、接続孔2 3以外の領域のチタン窒化膜およびタンゲステン膜を、たとえばCMP法により除去して接続孔2 3の内部にプラグ2 4

を形成する。

続いて、半導体基板1上に、たとえばタングステン膜を堆積した後、レジストパターンをマスクとしたドライエッチングによってタングステン膜を加工し、第1配線層の配線25を形成する。タングステン膜は、CVD法またはスパッタ法

5により形成できる。

その後、さらに上層の配線を形成した後、パッシベーション膜で半導体基板1の全面を覆うことにより、本発明の実施の形態1である半導体集積回路装置が略完成する。

ここで、本実施の形態においては、2種のゲート絶縁膜（11、12）を有するMISFETを例に説明したが、かかる場合に限定されず、MISFETのゲート絶縁膜を1種（11または12）で構成する場合にも適用可能である。

しかしながら、以下の理由により、2種のゲート絶縁膜（11、12）を有するMISFETに本実施の形態を適用すればその効果が大きい。

すなわち、領域AのMISFETのゲート絶縁膜は、容量が小さくても足るの

15で、厚く形成した熱酸化膜のみで構成することも可能である。

しかしながら、この場合は、領域AのMISFETの製造プロセスにおいて、図34～図36を参照しながら説明したように、修復酸化を余儀なくされる。

従って、領域AのMISFETのゲート絶縁膜を積層膜とし、その下層を熱酸化膜、その上層を高誘電率絶縁膜とすることで、製造プロセスの整合性を図ることができる。

なお、領域AのMISFETのゲート絶縁膜を、高誘電率絶縁膜を2層重ねた積層膜とすることも可能であるが、この場合、領域Aと領域Bとの段差が大きくなり、特に、20nm以上の段差が生じた場合には、その後のゲート電極の形成工程または接続孔の形成工程などにおいて不具合が生ずる。

25また、領域Aのゲート絶縁膜12をシリコン酸化膜のみで構成した場合と比べて、シリコン酸化膜9の厚さを薄くできることから、素子分離溝4aの内部の酸化を低減できて、素子分離溝4aの端部における応力を低減することができる。

（実施の形態2）

実施の形態1においては、サイドウォール18およびゲート電極13n、13

pをマスクに、高誘電率絶縁膜10等をエッチングしたが、高誘電率絶縁膜10を、サイドウォール18を形成する前に、ゲート電極をマスクにエッチングしても良い。

以下、本発明の実施の形態2である半導体集積回路装置の製造方法を図37～図46に示した半導体基板の要部断面図を用いて工程順に説明する。なお、シリコン酸化膜14の除去工程までは、図1～図19を参照しながら説明した実施の形態1の場合と同様であるためその詳細な説明を省略する。

すなわち、ゲート電極13n、13p上のシリコン酸化膜14を、高誘電率絶縁膜10に対するシリコン酸化膜14のエッチング選択比が大きく（例えば10以上と）なる条件でエッチング、言い換えれば、ゲート電極13n、13pの両端部の高誘電率絶縁膜10を残存させた状態でシリコン酸化膜14を除去し、ゲート電極13n、13pの上面を露出させた後（図18、図19参照）、図37に示すように、ゲート電極13n、13pをマスクに、これらの間に露出した高誘電率絶縁膜10を、たとえばスパッタエッチングで除去する。

図38に、図37のnMIS形成領域Qn-Aの部分拡大図を示す。実施の形態1で説明したように、本実施の形態においても、ゲート電極13の端部下にも、高誘電率絶縁膜が残存する。言い換えれば、ゲート電極13の端部下まで高誘電率絶縁膜が延在していることとなり、耐圧を向上させることができる。また、容量を確保することができる。

続いて、図39に示すように、ゲート電極13n、13pをマスクに、これらの間に露出した領域Aのシリコン酸化膜9を、たとえばウェットエッチングで除去する。この際も、高誘電率絶縁膜10に対するシリコン酸化膜9のエッチング選択比が大きくなる条件でエッチングを行う。図40に、図39のnMIS形成領域QN-Aの部分拡大図を示す。

次に、図41に示すように、領域AのpMIS形成領域（QP-A）にp⁻型半導体領域16aを形成し、ハロー層（図示せず）を形成する。また、領域AのnMIS形成領域（QN-A）にn⁻型半導体領域17aを形成し、ハロー層（図示せず）を形成する。これらの形成方法（不純物の導電型や濃度）は、実施の形態1と同様であるため、その詳細な説明を省略する。

次に、図42に示すように、領域BのpMIS形成領域（Qp-A）にp型拡張領域16bを形成し、ハロー層（図示せず）を形成する。また、領域BのnMIS形成領域（Qn-A）にn型拡張領域17bを形成し、ハロー層（図示せず）を形成する。これらの形成方法（不純物の導電型や濃度）は、実施の形態1と
5 同様であるため、その詳細な説明を省略する。

ここで、本実施の形態においては、前記半導体領域、拡張領域やハロー層を構成する不純物の注入前に、高誘電率絶縁膜10が除去されているので、不純物の打ち込み特性が向上する。

すなわち、固体中に打ち込まれた不純物の深さ方向の分布（プロファイル）は
10 、LSS理論によって得られた投影飛程（Rp）と、分散（△Rp）を使ったガウス分布で表せる。

一方、高誘電率絶縁膜10が残存していると、打ち込みのエネルギーを大きくしなければならない。しかしながら、打ち込みエネルギーを大きくした場合には
15 、不純物のプロファイルが広がってしまう。従って、制御性良く、不純物を打ち込むことが困難となる。特に、前記半導体領域（16a、17a）や拡張領域（
16b、17b）は、浅く形成する必要があるため、あらかじめ高誘電率絶縁膜10を除去することによって、所望のプロファイルの不純物領域を得ることができる。なお、シリコン酸化膜9は薄いため、残存させた状態で不純物をイオン打ち込みしても良い。高誘電率絶縁膜10は、シリコン酸化膜9と比較し厚いため
20 、これを除去することによる効果は大きい。

次に、図43に示すように、半導体基板1上にシリコン酸化膜をCVD法で堆積し、続いてそのシリコン酸化膜を異方性エッチングすることにより、ゲート電極13n、13pの側壁にサイドウォール（側壁膜）18を形成する。

次に、図44に示すように、領域AおよびBのnMIS形成領域（QN-A、
25 Qn-A）のpウェル8にn型不純物、たとえばヒ素をイオン注入し、ゲート電極13nの両側のpウェル8にn⁺型半導体領域19を形成する。次いで、領域AおよびBのpMIS形成領域（QP-A、Qp-A）のnウェル7にp型不純物、たとえばフッ化ボロンをイオン注入し、ゲート電極13pの両側のnウェル7にp⁺型半導体領域20を形成する。これらの半導体領域は、ゲート電極13

n、13pおよびサイドウォール18に対して自己整合的に形成され、MISFETのソース、ドレインとして機能する。また、この際、各不純物はゲート電極中にも注入されるが、各MISのソース、ドレインとゲート電極中の不純物は、同じ導電型であるため不純物が注入されても問題は無く、また、ゲート電極中の不純物が足りない場合には、これを補うこととなる。

次に、実施の形態1と同様に、高融点金属膜21a、たとえばコバルト膜を、半導体基板1上に堆積する。次いで500～600°C程度の熱処理を半導体基板1に施してゲート電極13n、13pの上面、n⁺型半導体領域19およびp⁺型半導体領域20（ソース、ドレイン領域）の表面に選択的に、シリサイド層21bを形成する。この後、未反応のコバルト膜21aを去し、次いでシリサイド層21bの低抵抗化のため熱処理を施す（図44）。

図45に、図44のnMIS形成領域QN-AおよびQn-Aの部分拡大図を示す。図示するように、本実施の形態においても、図35を参照しながら説明した窪み（110）ができず、ゲート電極13n、13pの端部下にも、高誘電率絶縁膜10が残存する。言い換えれば、ゲート電極13n、13pの端部下まで高誘電率絶縁膜10が延在していることとなり、耐圧を向上させることができる。また、容量を確保することができる。

次いで、実施の形態1の場合と同様に、半導体基板1上にシリコン酸化膜22としてTEOS膜が形成され、かかる膜中に接続孔23が形成される。さらに接続孔23中には、プラグ24が形成される。また、プラグ24上には、第1配線層の配線25が形成される（図46）。

その後、さらに上層の配線を形成した後、パッシベーション膜で半導体基板1の全面を覆うことにより、本発明の実施の形態2である半導体集積回路装置が略完成する。

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

たとえば、前記実施の形態においては、MISFETを例に説明したが、ゲート絶縁膜として高誘電率絶縁膜を有する半導体素子（たとえば、不揮発性メモリ、

強誘電体メモリ等)に広く適用可能である。

本願によって開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

高誘電率絶縁膜上の導電性膜を、その上部の絶縁膜よりなるパターンをマスク

- 5 にエッティングし、導体片を形成した後、前記絶縁膜よりなるパターンを前記高誘電率絶縁膜に対する前記絶縁膜のエッティングの選択比が大きい条件、例えば選択比が100以上でエッティングしたので、高誘電率絶縁膜をゲート絶縁膜に用いたMISFETを有する半導体集積回路装置の特性の向上を図ることができる。

- また、前記導体片を形成した後、前記導体片の両端部の前記高誘電体膜を残した状態で、前記絶縁膜よりなるパターンを除去し前記導体片の上面を露出させたので、高誘電率絶縁膜をゲート絶縁膜に用いたMISFETを有する半導体集積回路装置の特性の向上を図ることができる。

- また、半導体基板の上部に高誘電率絶縁膜を介して形成された導体片を有するMISFETの前記導体片の端部下まで前記高誘電率絶縁膜を延在させたので、かかるMISFETを有する半導体集積回路装置の特性の向上を図ることができる。

産業上の利用可能性

- 以上のように、本発明は、論理回路やメモリ等に用いられるMISFET等、
20 ゲート絶縁膜として高誘電率絶縁膜を有する半導体素子に広く適用可能で、これらの素子を有する装置や機器に適用して特に有効な技術である。

請求の範囲

1. (a) 半導体基板の上部に、高誘電率絶縁膜を形成する工程と、
(b) 前記高誘電率絶縁膜上に導電性膜を形成する工程と、
5 (c) 前記導電性膜上に、絶縁膜を形成する工程と、
(d) 前記絶縁膜を選択的に除去することによりパターンを形成する工程と、
(e) 前記パターンを有する絶縁膜をマスクに、前記導電性膜をエッチングす
ることにより導体片を形成する工程と、
(f) 前記導体片の両端部の前記半導体基板の上部に前記高誘電体膜を残した
10 状態で、前記絶縁膜を除去し前記導体片の上面を露出させる工程と、
(g) 前記 (f) 工程の後に、前記導体片上に金属膜を堆積し、前記導体片と
前記金属膜との接触部において反応層を形成する工程と、
を有することを特徴とする半導体集積回路装置の製造方法。
2. 請求項 1 記載の半導体集積回路装置の製造方法において、前記導電性膜はシリコン膜であり、前記絶縁膜は酸化シリコン膜であることを特徴とする半導体集積回路装置の製造方法。
3. 請求項 1 記載の半導体集積回路装置の製造方法において、前記導電性膜はシリコン膜であり、前記反応層はシリサイド膜であることを特徴とする半導体集積回路装置の製造方法。
4. 請求項 1 記載の半導体集積回路装置の製造方法において、前記高誘電率絶縁膜は、比誘電率が 2.0 以上の膜であることを特徴とする半導体集積回路装置の製造方法。
- 20 5. 請求項 1 記載の半導体集積回路装置の製造方法は、さらに、
(h) 前記 (a) 工程の前に、前記半導体基板をエッチングすることにより前
25 記半導体基板中に溝を形成し、前記溝内に他の絶縁膜を形成する工程を有し、
前記高誘電率絶縁膜は、前記他の絶縁膜より比誘電率が大きいことを特徴とする半導体集積回路装置の製造方法。
6. 請求項 1 記載の半導体集積回路装置の製造方法において、前記高誘電率絶縁膜は、アルミナ膜、チタン酸化膜、ジルコニウム酸化膜、ハフニウム酸化膜、タ

ンタル酸化膜またはルテニウム酸化膜からなることを特徴とする半導体集積回路装置の製造方法。

7. 請求項 1 記載の半導体集積回路装置の製造方法は、さらに、

(h) 前記 (f) 工程と前記 (g) 工程の間に、前記導体片をマスクに、前記高誘電率絶縁膜を除去する工程であって、前記導体片に対する前記高誘電率絶縁膜のエッティングの選択比が大きい条件でエッティングする工程を有することを特徴とする半導体集積回路装置の製造方法。

8. 請求項 1 記載の半導体集積回路装置の製造方法は、さらに、

(h) 前記 (f) 工程と前記 (g) 工程の間に、前記導体片をマスクに、前記高誘電率絶縁膜を除去する工程であって、前記導体片に対する前記高誘電率絶縁膜のエッティングの選択比が大きい条件でエッティングする工程と、

(i) 前記 (h) 工程の後、前記半導体基板中に不純物を注入することにより、前記導体片の両側に半導体領域を形成する工程と、
を有することを特徴とする半導体集積回路装置の製造方法。

15 9. 請求項 1 記載の半導体集積回路装置の製造方法は、さらに、

(h) 前記 (f) 工程と前記 (g) 工程の間に、前記導体片上を含む半導体基板上に他の絶縁膜を形成した後、前記他の絶縁膜を異方的にエッティングすることによって、前記導体片の側壁に側壁膜を形成する工程と、

(i) 前記 (h) 工程の後に、前記導体片および前記側壁膜をマスクに、前記高誘電率絶縁膜を除去する工程であって、前記導体片および前記側壁膜に対する前記高誘電率絶縁膜のエッティングの選択比が大きい条件でエッティングする工程と、
を有することを特徴とする半導体集積回路装置の製造方法。

10. (a) 第 1 領域および第 2 領域を有する半導体基板の第 1 領域上に、第 1 絶縁膜を形成する工程と、

25 (b) 前記第 1 絶縁膜上および第 2 領域上に前記第 1 絶縁膜より誘電率の高い第 2 絶縁を形成する工程と、

(c) 前記第 2 絶縁膜上に導電性膜を形成する工程と、

(d) 前記導電性膜上に、第 3 絶縁膜を形成する工程と、

(e) 前記第 3 絶縁膜を選択的に除去することにより前記第 1 および第 2 領域

のそれぞれにパターンを形成する工程と、

(f) 前記パターンを有する第3絶縁膜をマスクに、前記導電性膜をエッチングすることにより前記第1および第2領域のそれぞれに導体片を形成する工程と、

(g) 前記導体片の両端部の前記半導体基板の上部に前記第2絶縁膜を残した

5 状態で、前記第3絶縁膜を除去し前記導体片の上面を露出させる工程と、

(h) 前記(g)工程の後に、前記導体片上に金属膜を堆積し、前記導体片と前記金属膜との接触部において反応層を形成する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

11. 請求項10記載の半導体集積回路装置の製造方法において、前記導電性膜
10 はシリコン膜であり、前記第3絶縁膜は酸化シリコン膜であることを特徴とする半導体集積回路装置の製造方法。

12. 請求項10記載の半導体集積回路装置の製造方法において、前記導電性膜はシリコン膜であり、前記反応層はシリサイド膜であることを特徴とする半導体集積回路装置の製造方法。

15 13. 請求項10記載の半導体集積回路装置の製造方法において、前記第1絶縁膜は、酸化シリコン膜であり、前記第2絶縁膜は、比誘電率が2.0以上の膜であることを特徴とする半導体集積回路装置の製造方法。

14. 請求項10記載の半導体集積回路装置の製造方法において、前記第2絶縁膜は、アルミナ膜、チタン酸化膜、ジルコニウム酸化膜、ハフニウム酸化膜、タ
20 ンタル酸化膜またはルテニウム酸化膜からなることを特徴とする半導体集積回路装置の製造方法。

15. 請求項10記載の半導体集積回路装置の製造方法は、さらに、

(i) 前記(g)工程と前記(h)工程の間に、前記導体片をマスクに、前記高誘電率絶縁膜を除去する工程であって、前記導体片に対する前記高誘電率絶縁膜のエッティングの選択比が大きい条件でエッティングする工程を有することを特徴とする半導体集積回路装置の製造方法。

16. 請求項10記載の半導体集積回路装置の製造方法は、さらに、

(i) 前記(g)工程と前記(h)工程の間に、前記導体片をマスクに、前記高誘電率絶縁膜を除去する工程であって、前記導体片に対する前記高誘電率絶縁

膜のエッティングの選択比が大きい条件でエッティングする工程と、

(j) 前記(i)工程の後、前記第1領域の半導体基板中に不純物を注入することにより、前記第1領域の導体片の両側に第1半導体領域を形成する工程と、

(k) 前記(i)工程の後、前記第2領域の半導体基板中に不純物を注入する

5 ことにより、前記第2領域の導体片の両側に第2半導体領域を形成する工程と、
を有することを特徴とする半導体集積回路装置の製造方法。

17. 請求項10記載の半導体集積回路装置の製造方法は、さらに、

(i) 前記(g)工程と前記(h)工程の間に、前記導体片上を含む半導体基
板上に他の絶縁膜を形成した後、前記他の絶縁膜を異方的にエッティングすること
10 によって、前記導体片の側壁に側壁膜を形成する工程と、

(j) 前記(i)工程の後に、前記導体片および前記側壁膜をマスクに、前記
高誘電率絶縁膜を除去する工程であって、前記導体片および前記側壁膜に対する
前記高誘電率絶縁膜のエッティングの選択比が大きい条件でエッティングする工程と、
を有することを特徴とする半導体集積回路装置の製造方法。

18. (a) 半導体基板の上部に高誘電率絶縁膜を介して形成された導体片と、

(b) 前記導体片の両側の半導体基板中に形成された半導体領域と、
を有するMISFETであって、

(c) 前記導体片の端部下まで前記高誘電率絶縁膜が延在しているMISFET
を有することを特徴とする半導体集積回路装置。

19. 請求項18記載の半導体集積回路装置において、前記導体片はシリコン膜
であり、前記シリコン膜上には、シリサイド膜が形成されていることを特徴とす
る半導体集積回路装置。

20. (a) 半導体基板の上部に高誘電率絶縁膜を介して形成された導体片と、

(b) 前記導体片の両側の半導体基板中に形成された半導体領域と、

25 (c) 前記導体片の側壁に形成された側壁膜と、
を有するMISFETであって、

(d) 前記側壁膜の下まで前記高誘電率絶縁膜が延在しているMISFET
を
有することを特徴とする半導体集積回路装置。

21. 請求項20記載の半導体集積回路装置において、前記導体片はシリコン膜

であり、前記シリコン膜上には、シリサイド膜が形成されていることを特徴とする半導体集積回路装置。

22. (a) 第1領域および第2領域を有する半導体基板と、

(b) 前記第1領域の半導体基板内に形成された一対の第1半導体領域と、前記一対の第1半導体領域の間の領域であって、前記半導体基板の上に第1絶縁膜および前記第1絶縁膜より誘電率の大きい第2絶縁膜とを介して形成された第1導体片とを有する第1MISFETと、

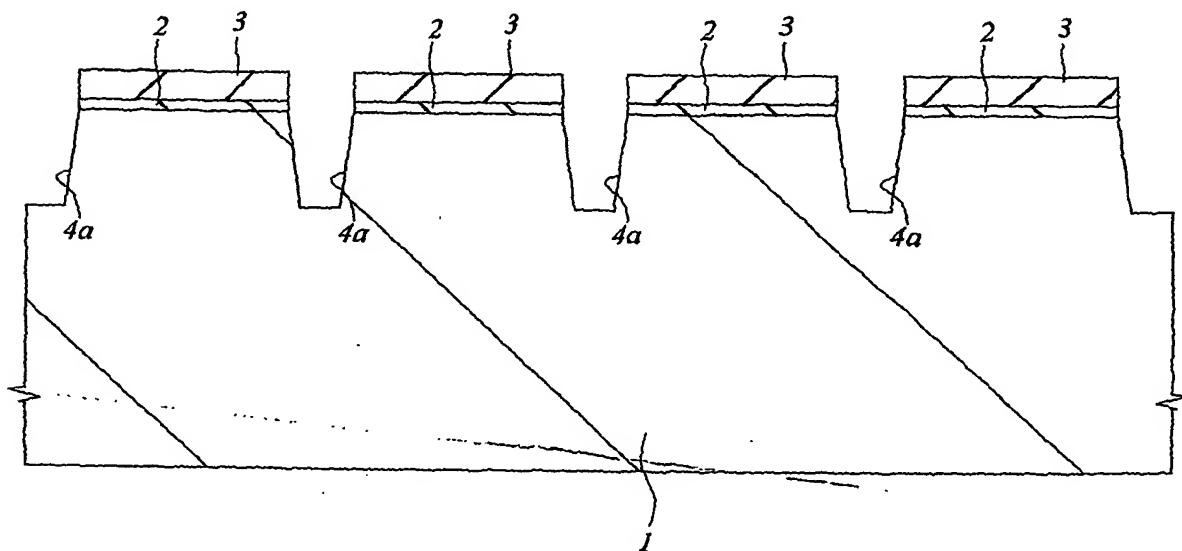
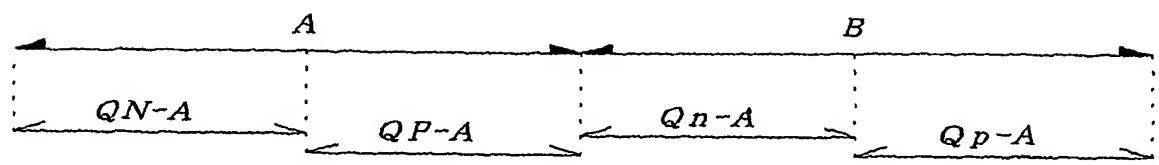
(c) 前記第2領域の半導体基板内に形成された一対の第2半導体領域と、前記一対の第2半導体領域の間の領域であって、前記半導体基板の上に前記第2絶縁膜を介して形成された第2導体片とを有する第2MISFETと、を有し、

(d) 前記第1および第2導体片の端部下まで前記第2絶縁膜が延在していることを特徴とする半導体集積回路装置。

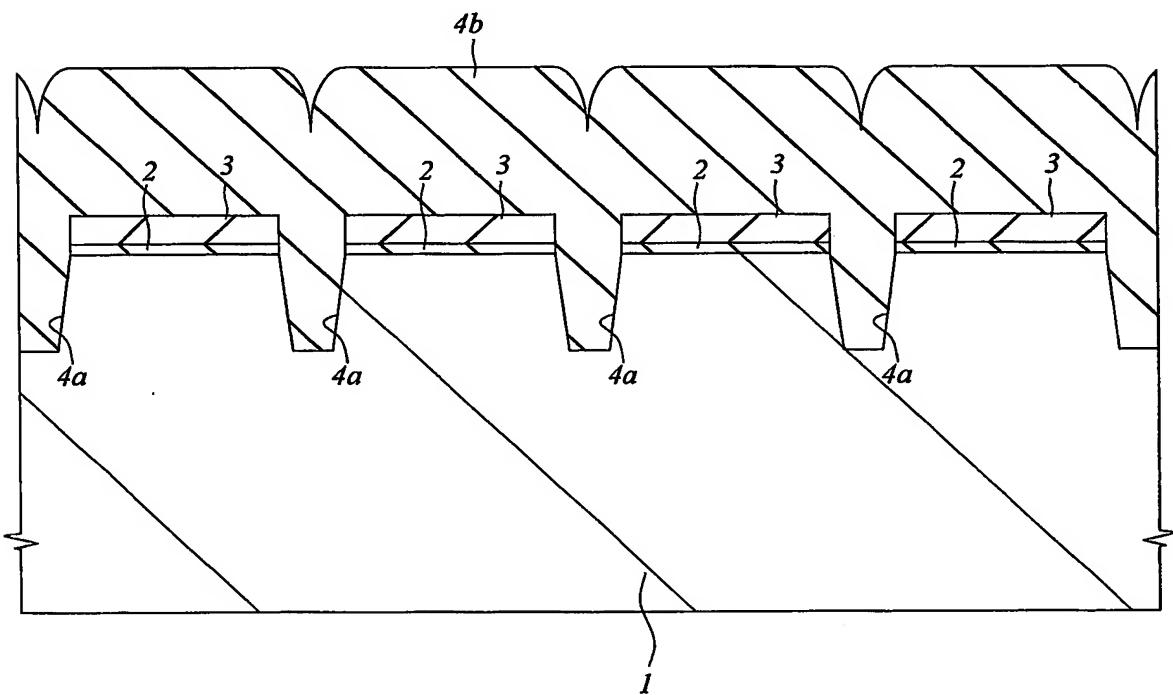
23. 請求項22記載の半導体集積回路装置において、前記導体片はシリコン膜であり、前記シリコン膜上には、シリサイド膜が形成されていることを特徴とする半導体集積回路装置。

24. 請求項23記載の半導体集積回路装置において、前記第1半導体領域の深さは、前記第2半導体領域より深いことを特徴とする半導体集積回路装置。

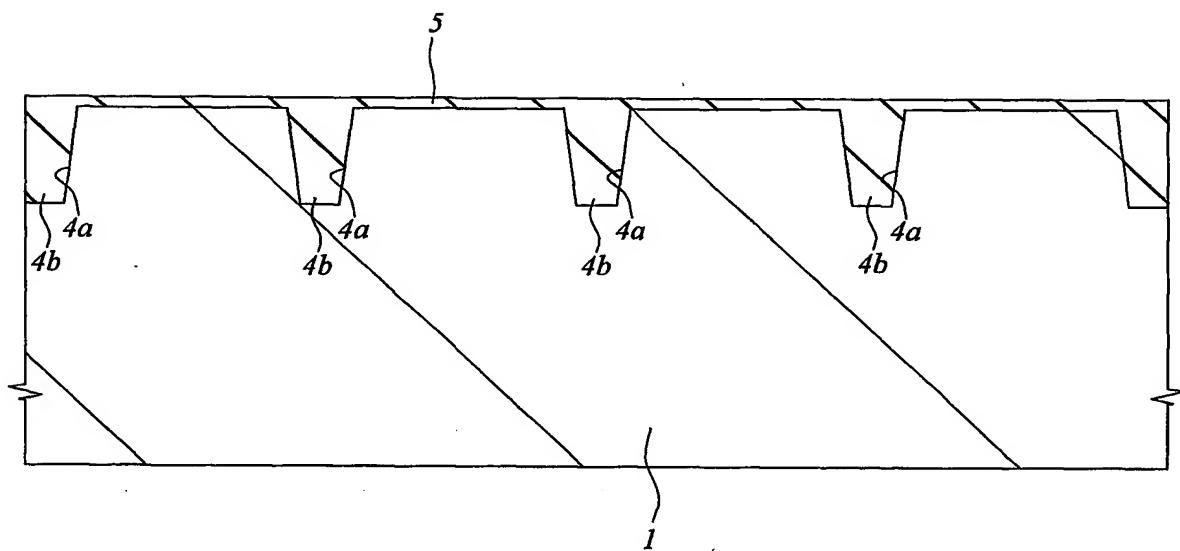
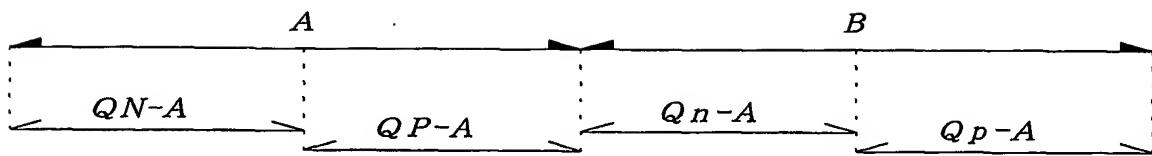
☒ I



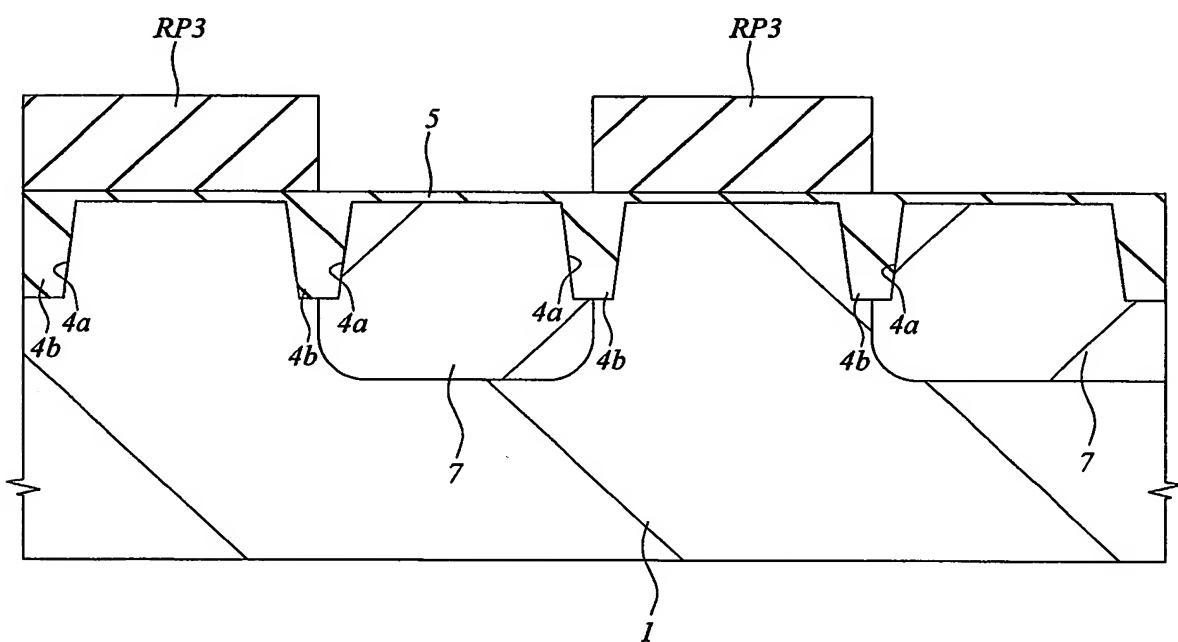
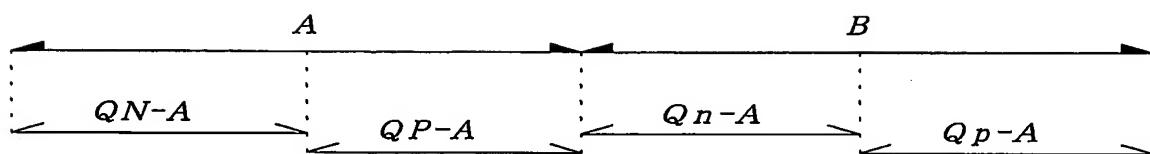
☒ 2



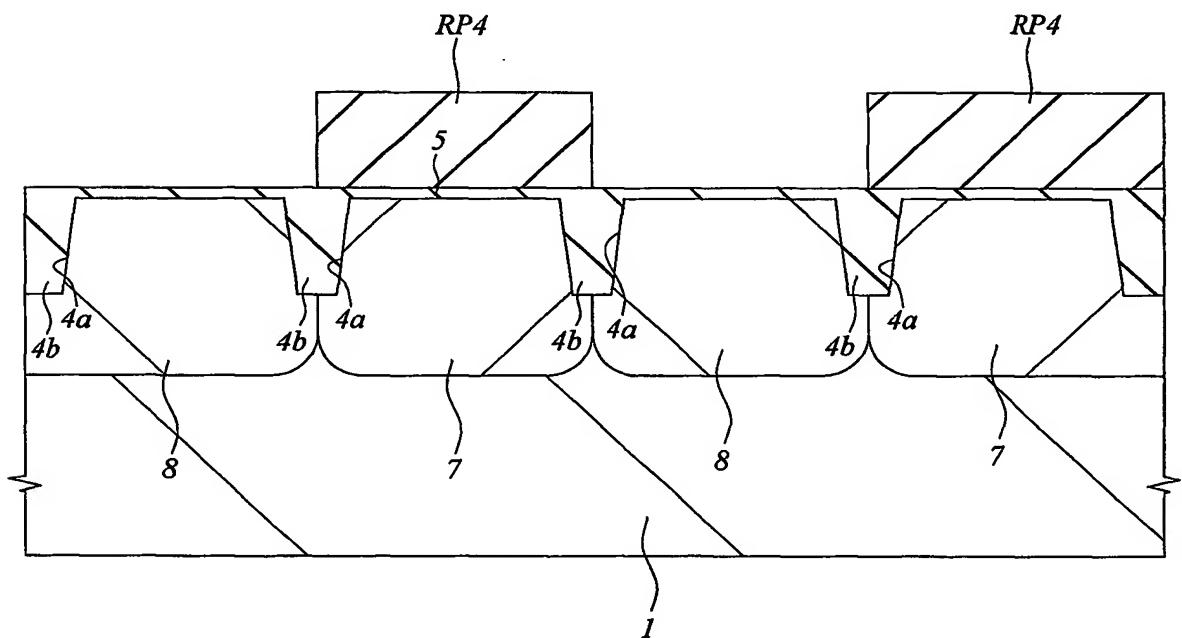
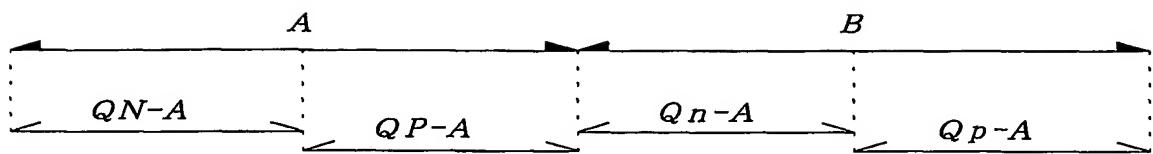
☒ 3



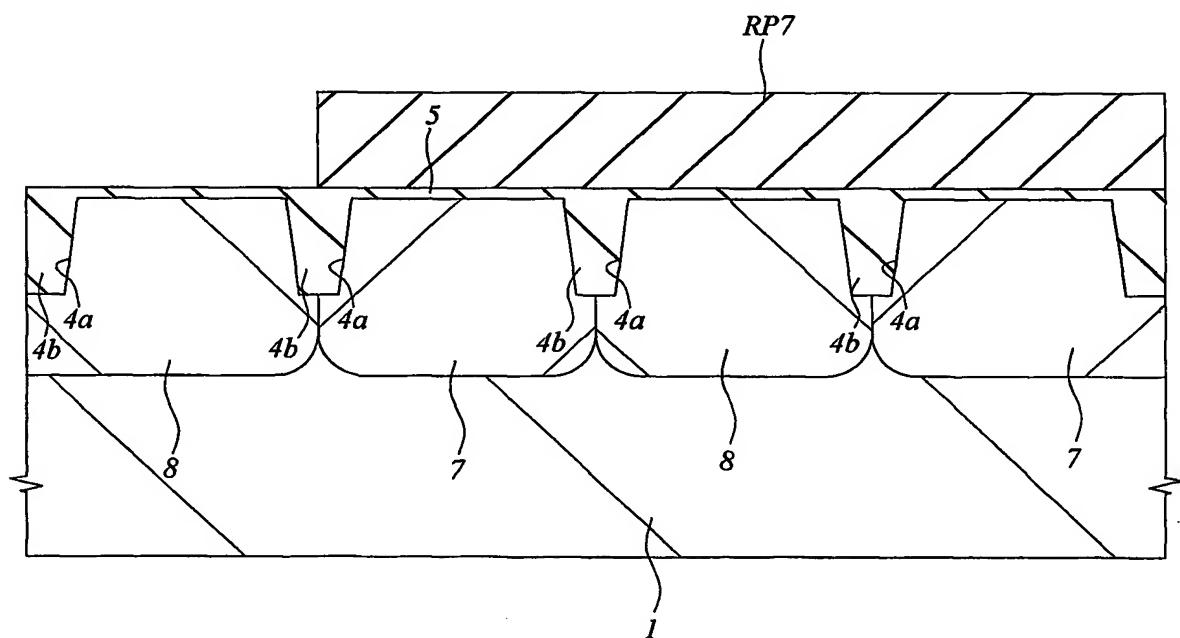
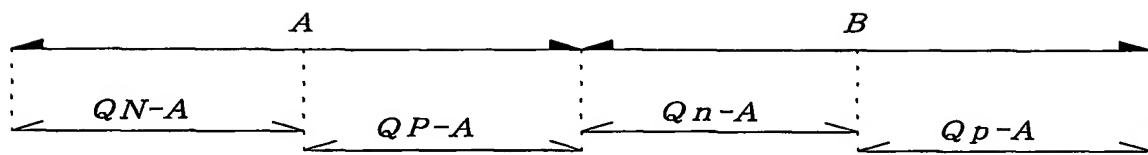
☒ 4



☒ 5



☒ 6



☒ 7

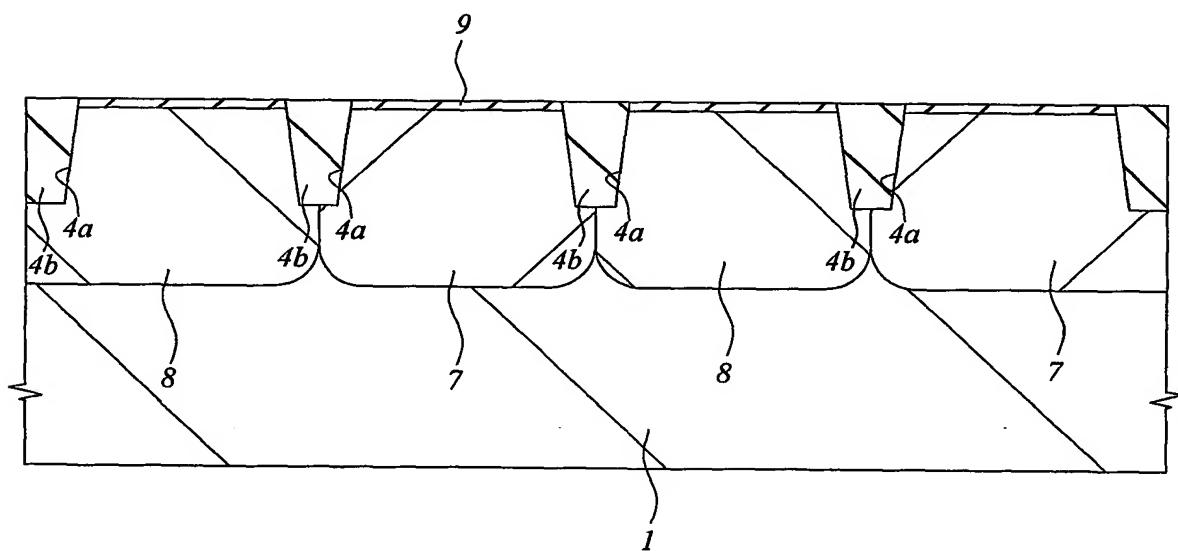
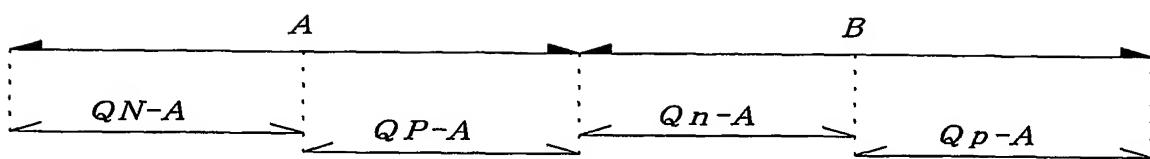
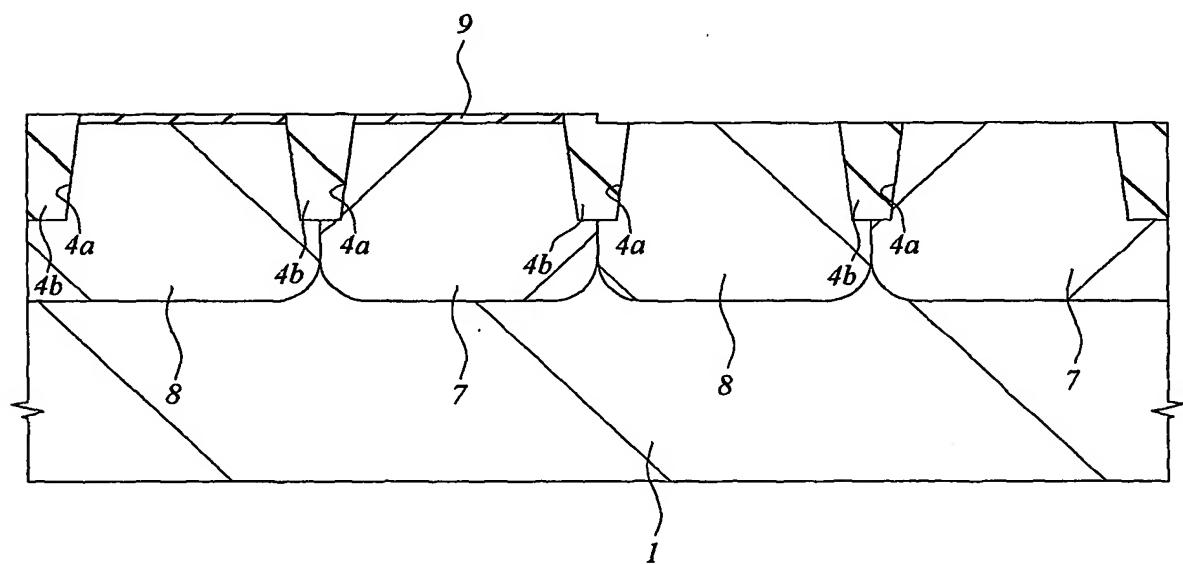
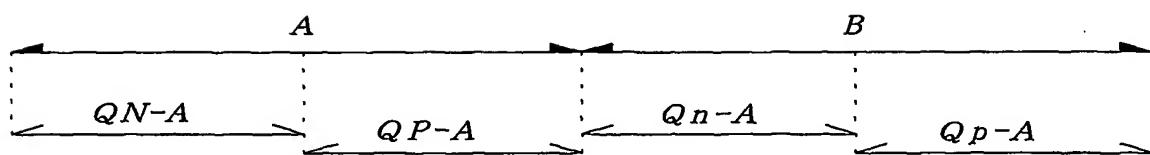
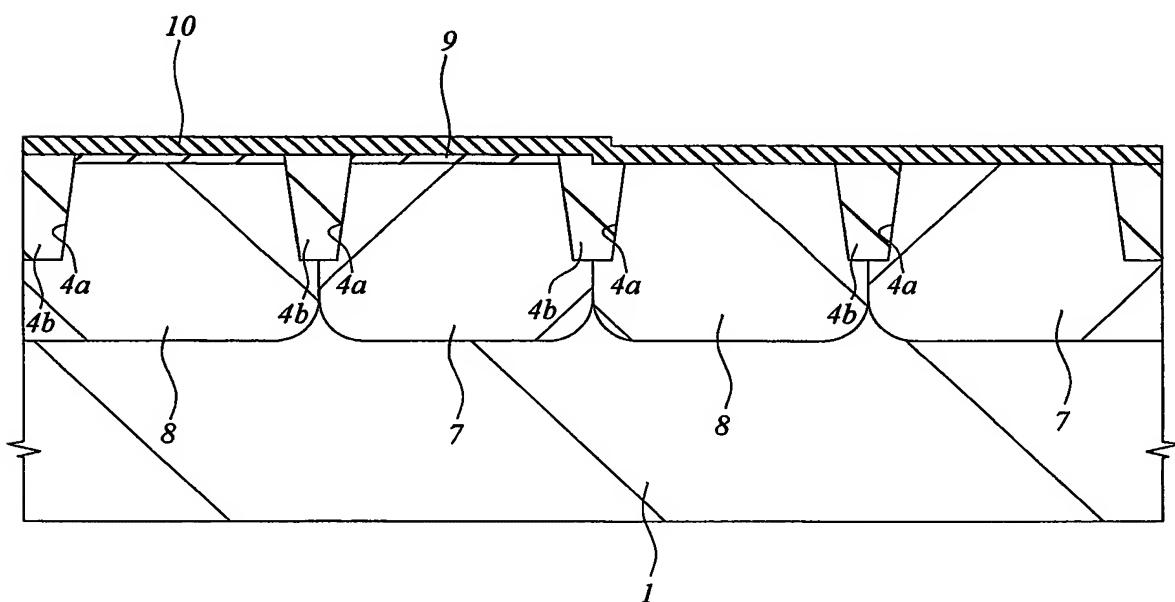
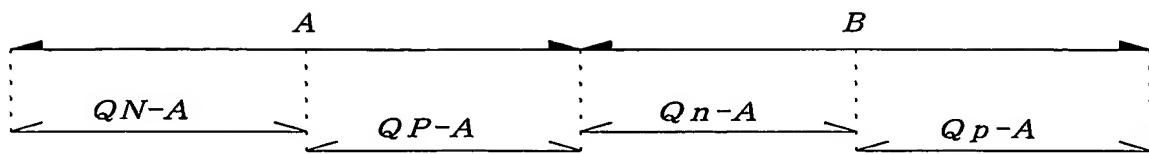


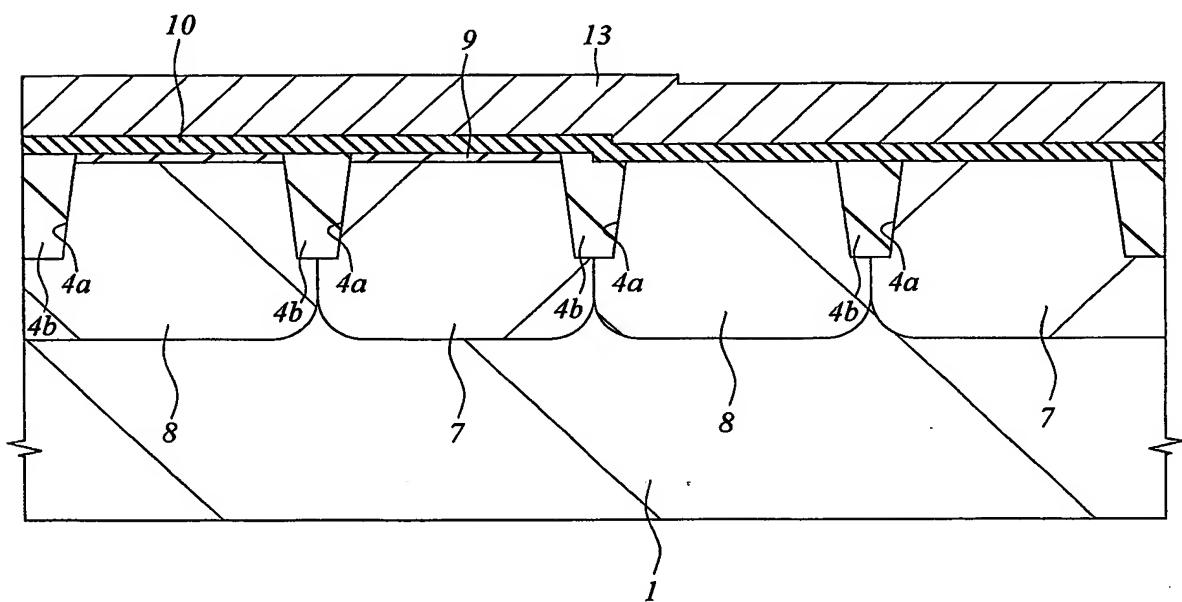
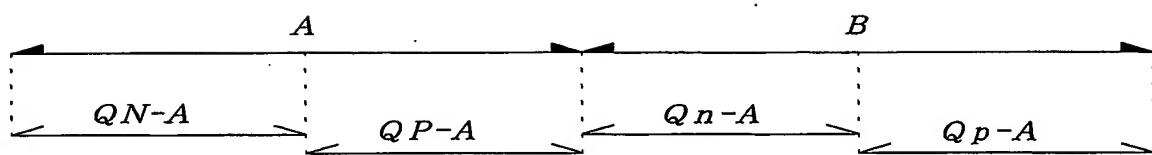
图 8



☒ 9



☒ 10



☒ 11

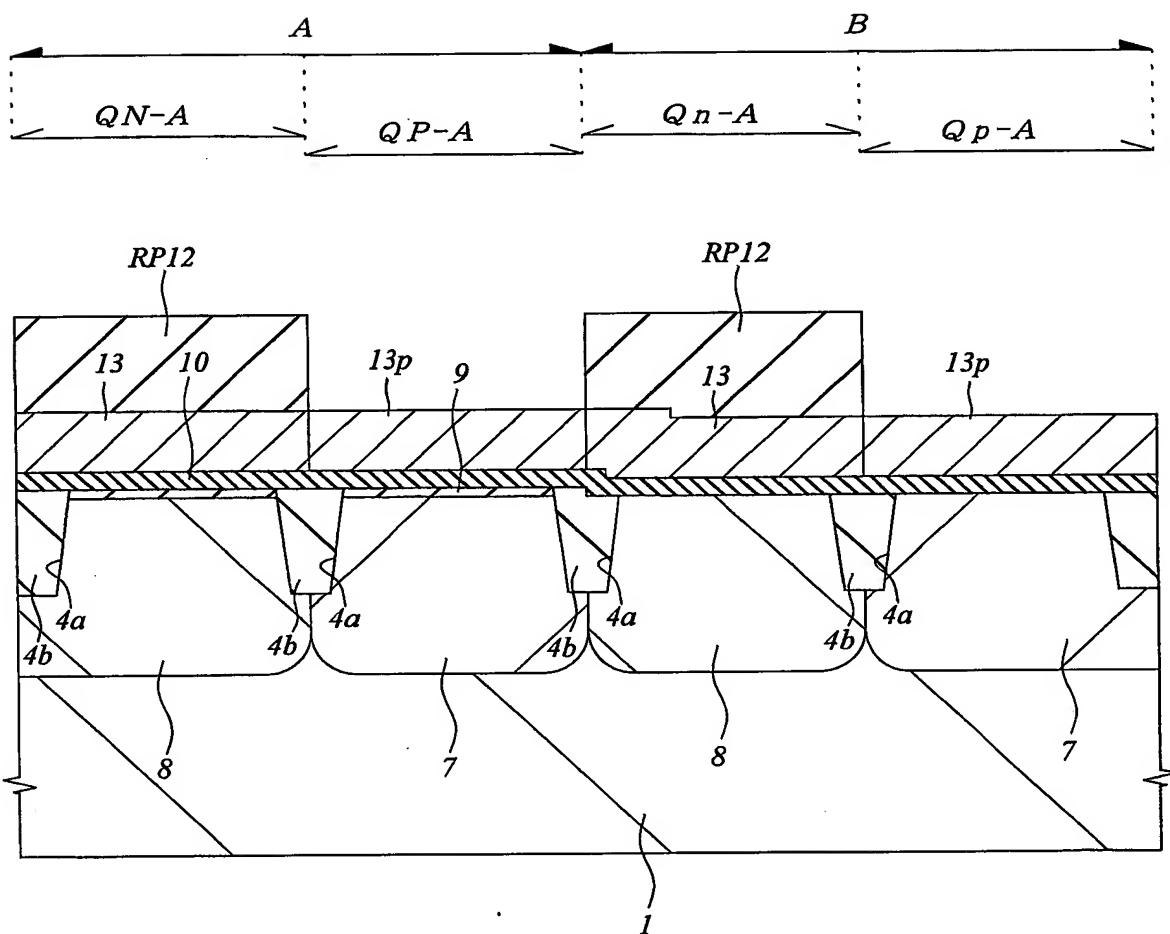
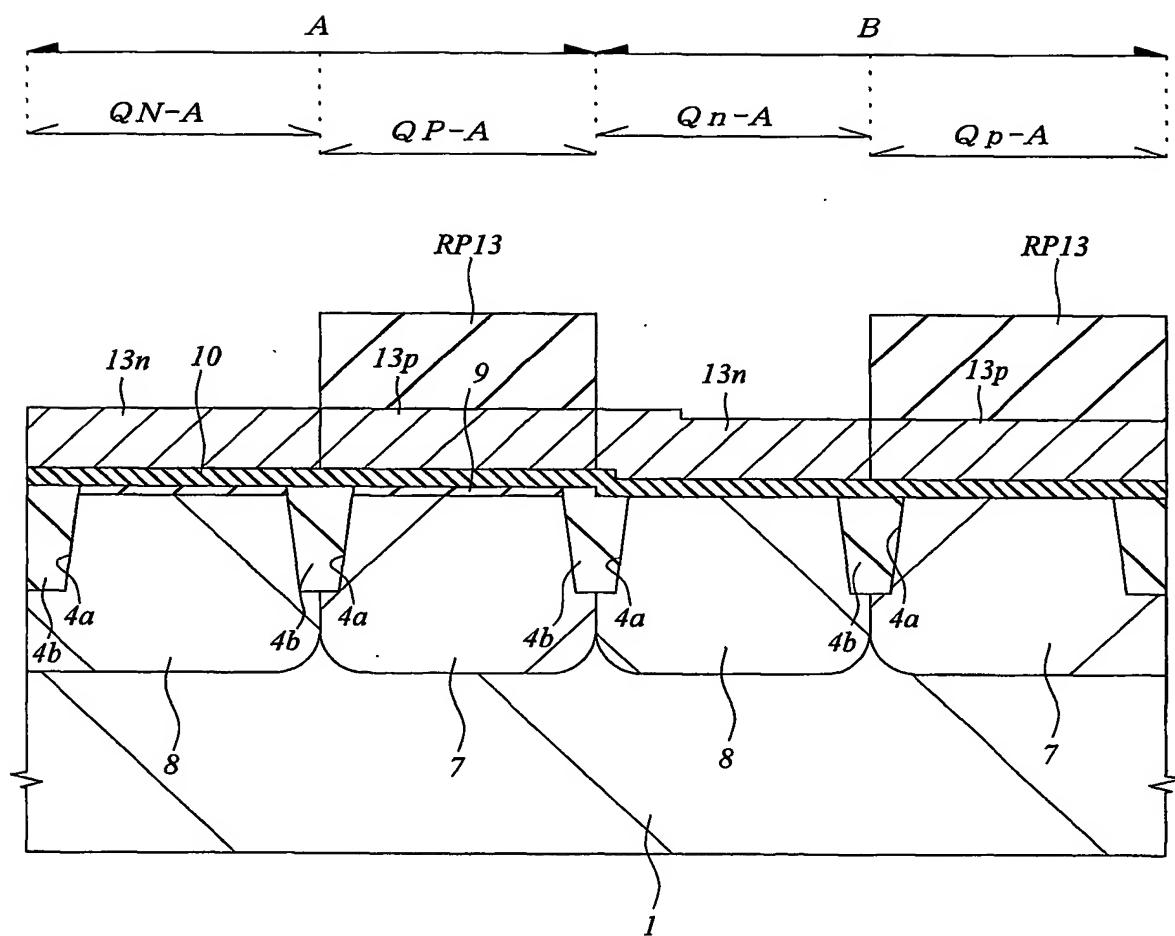
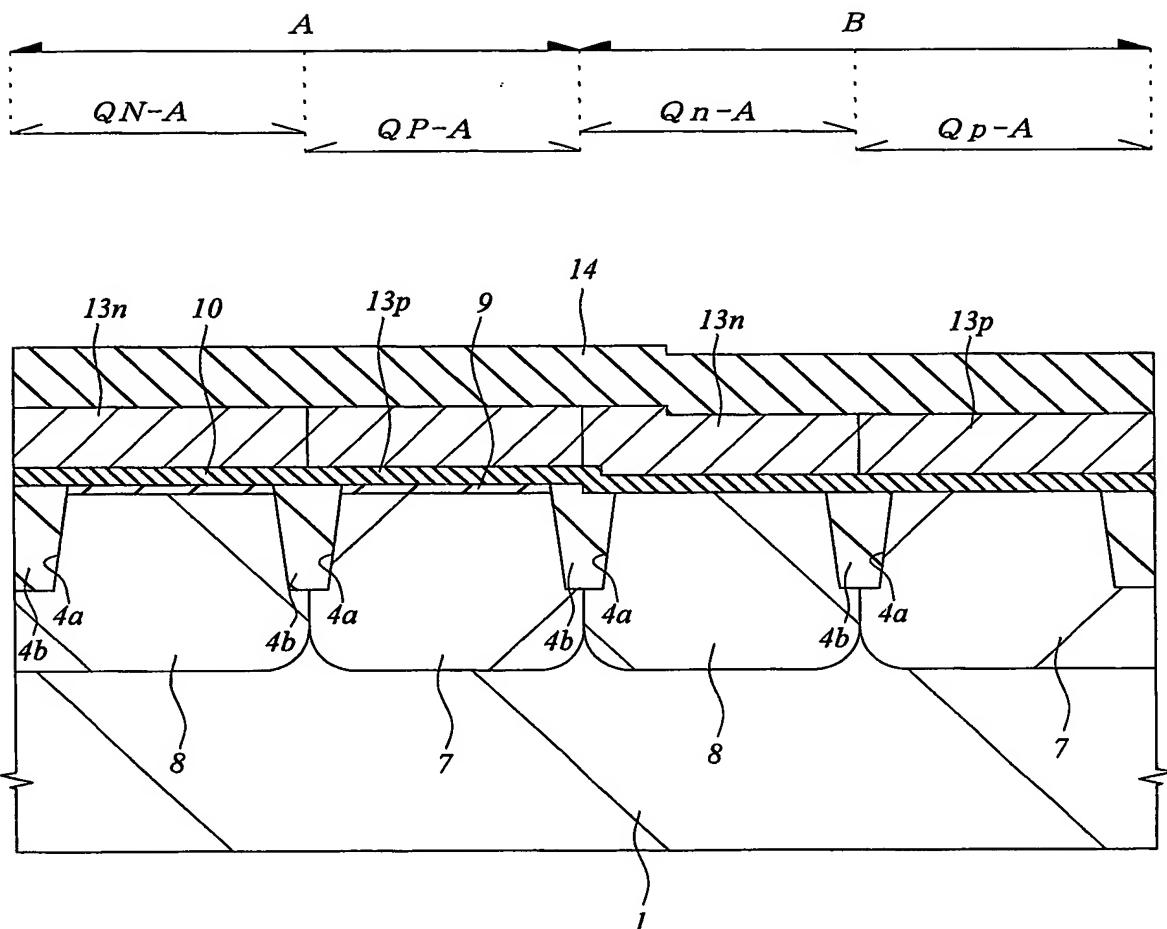


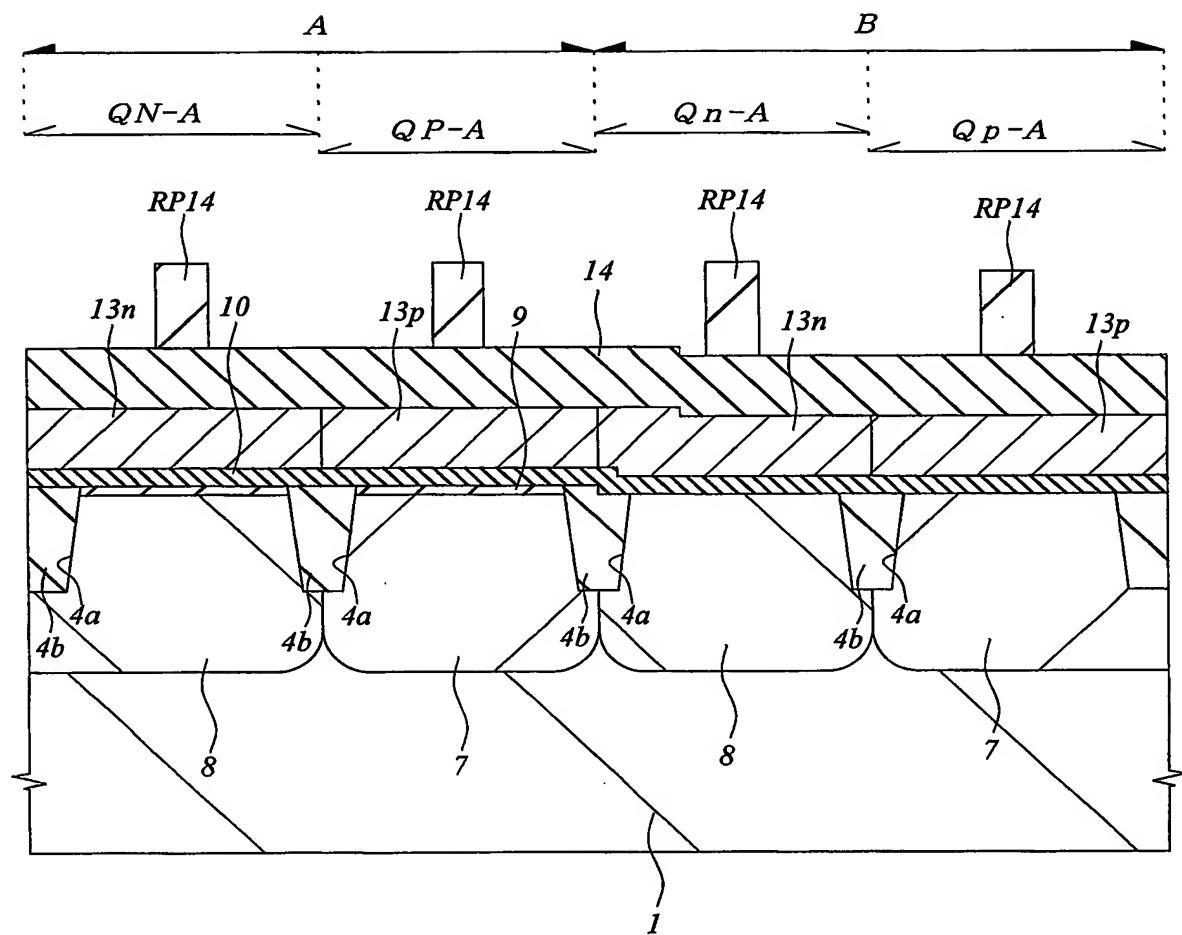
FIG 12



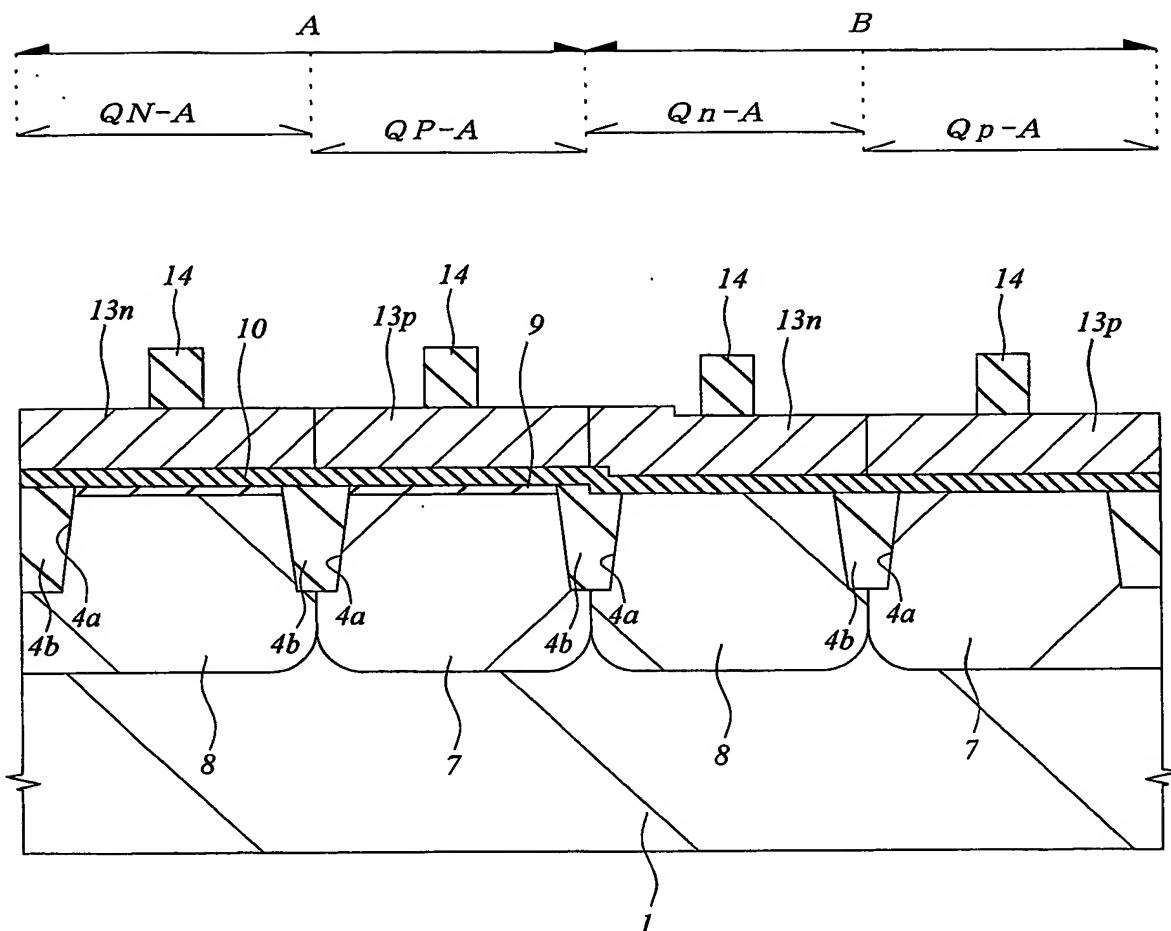
☒ 13



☒ 14



☒ 15



☒ 16

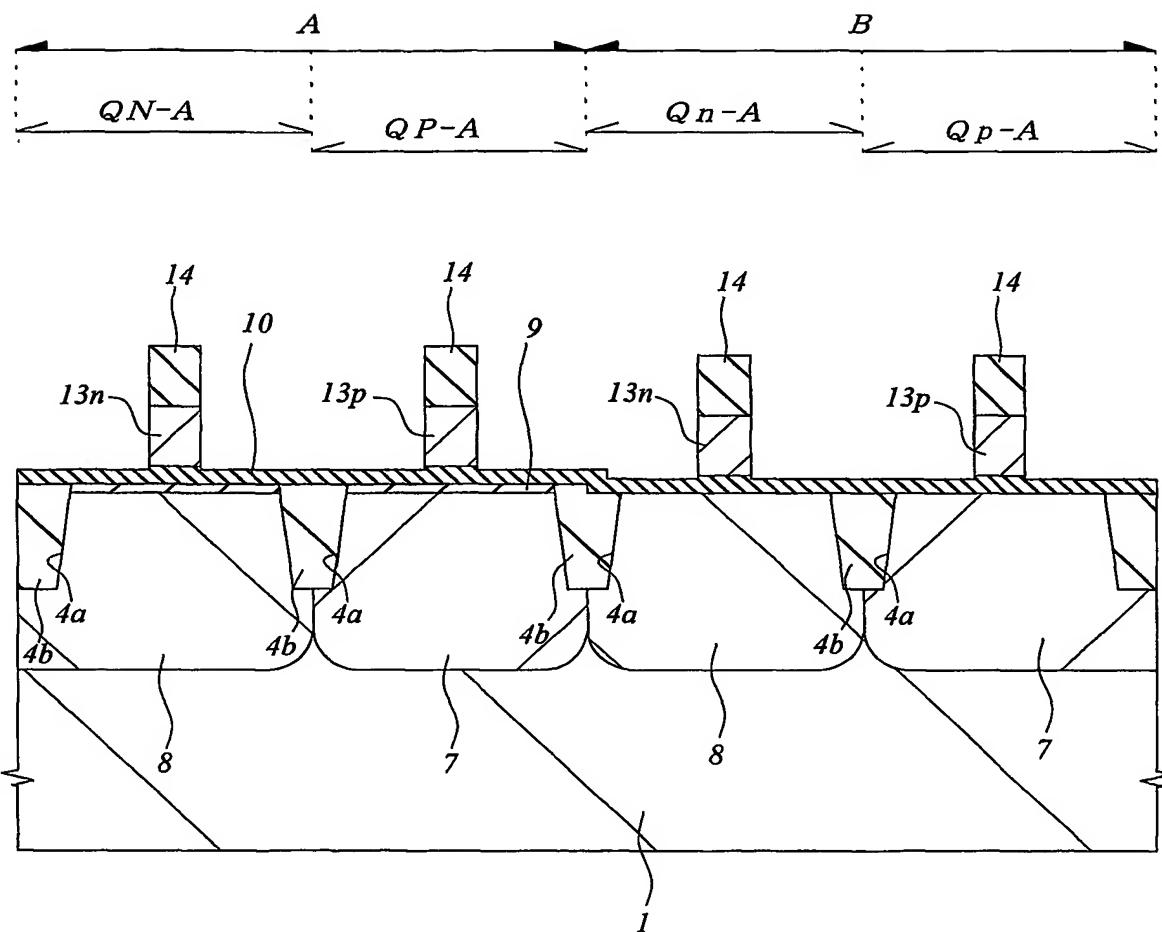


FIG 17

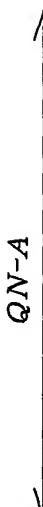
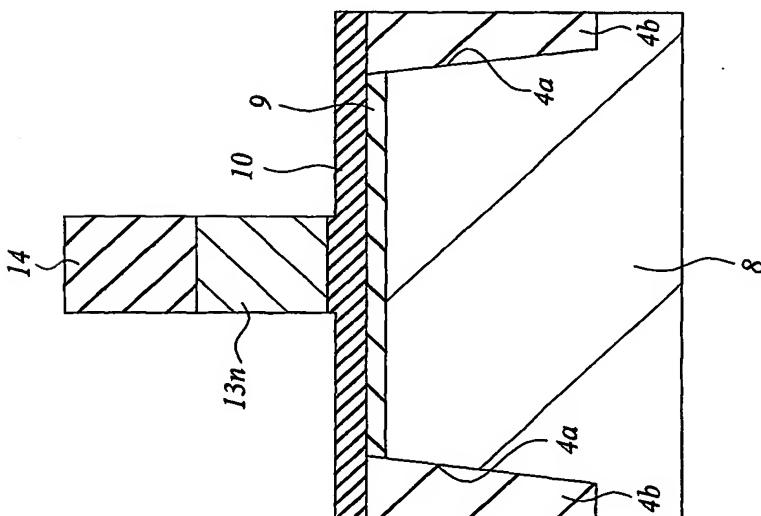
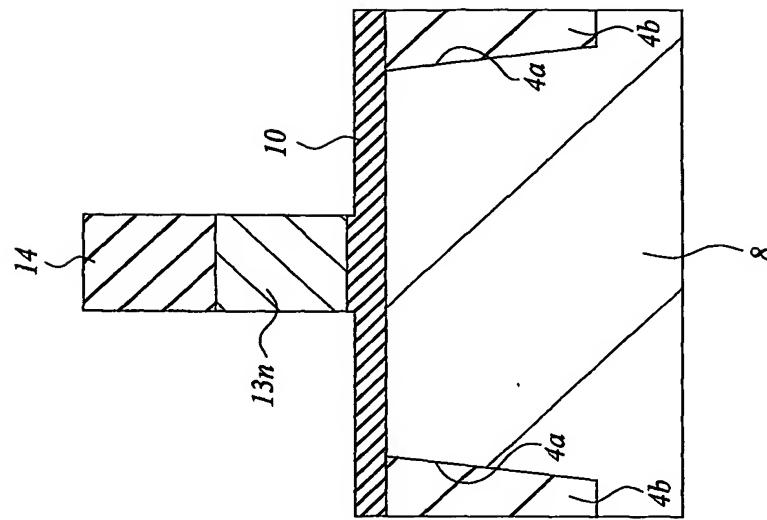
A horizontal line with arrows at both ends, indicating a comparison between two views.A horizontal line with arrows at both ends, indicating a comparison between two views.

FIG 18

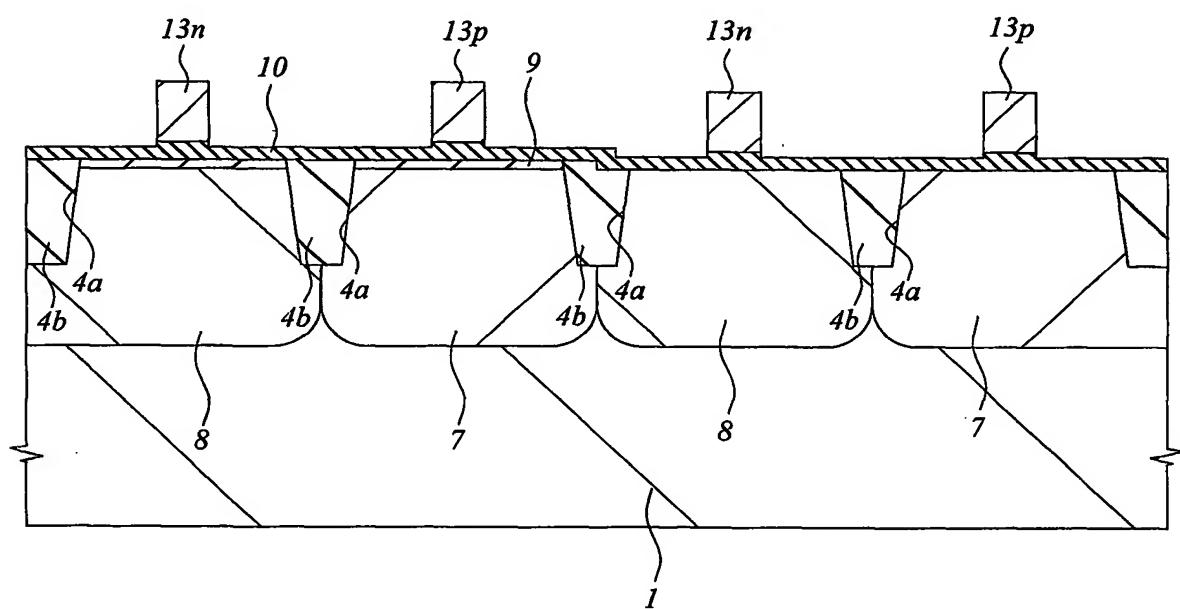
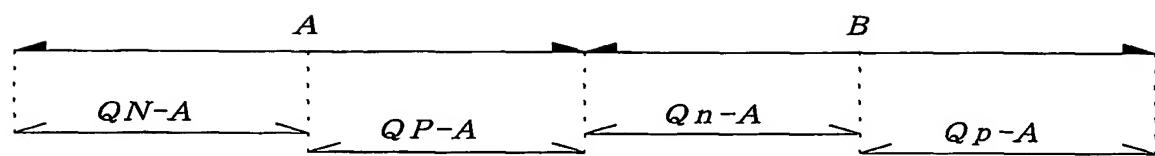
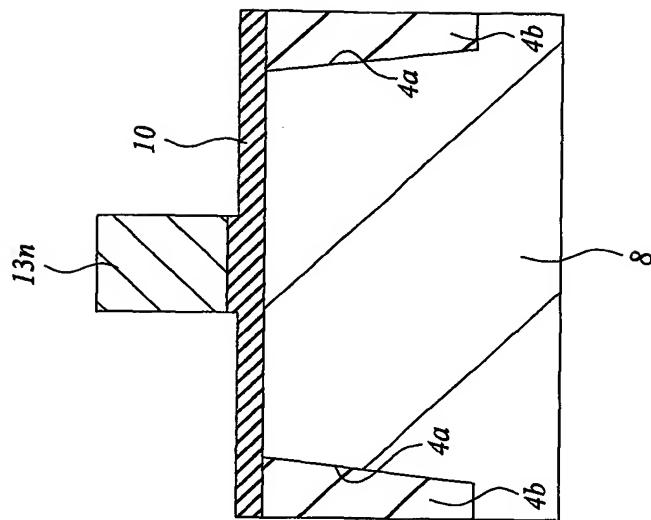
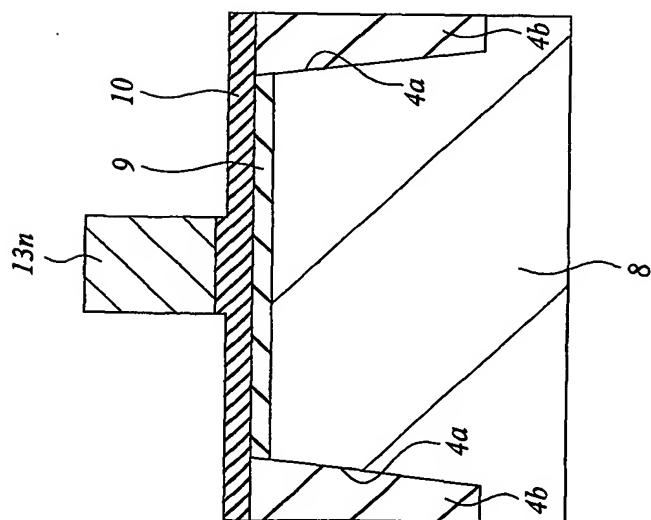


FIG 19

Q n -A



Q N-A



☒ 20

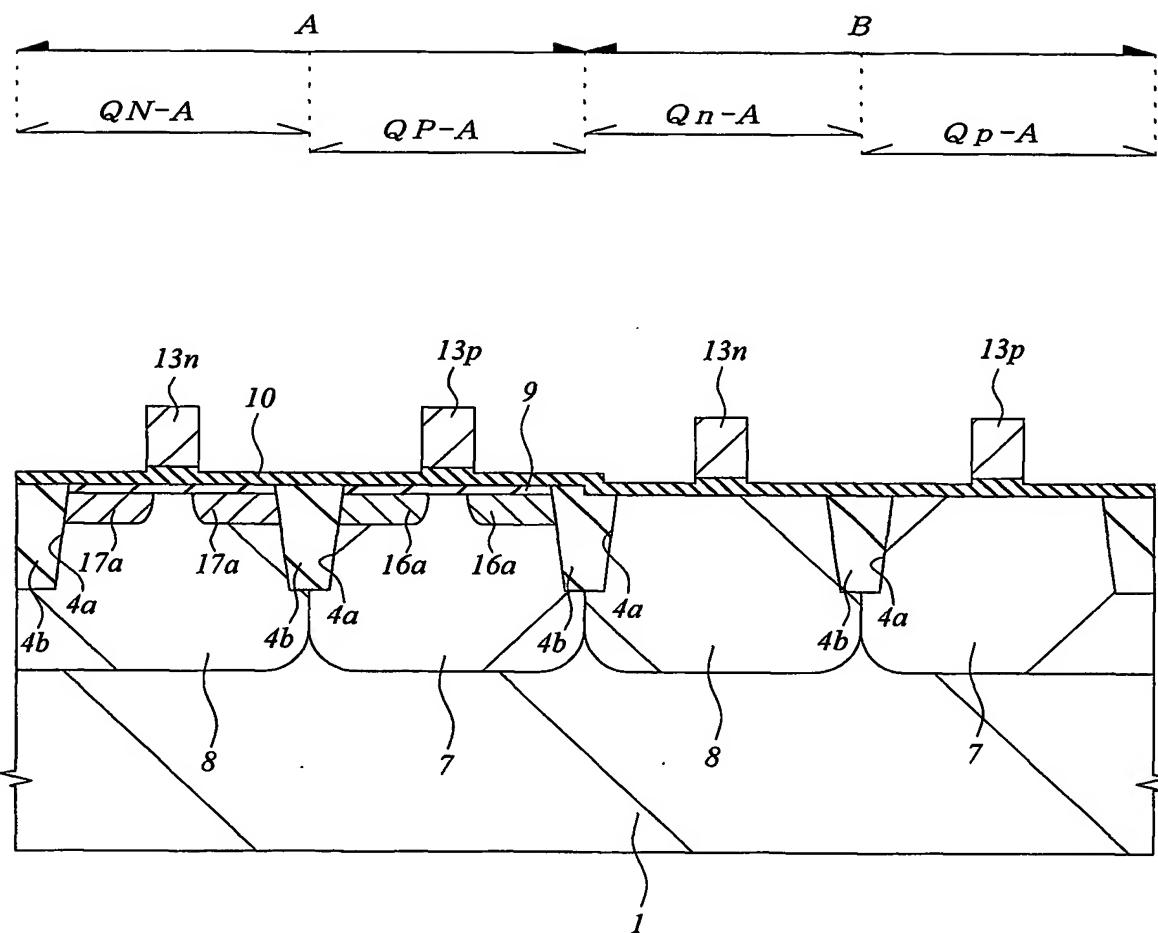
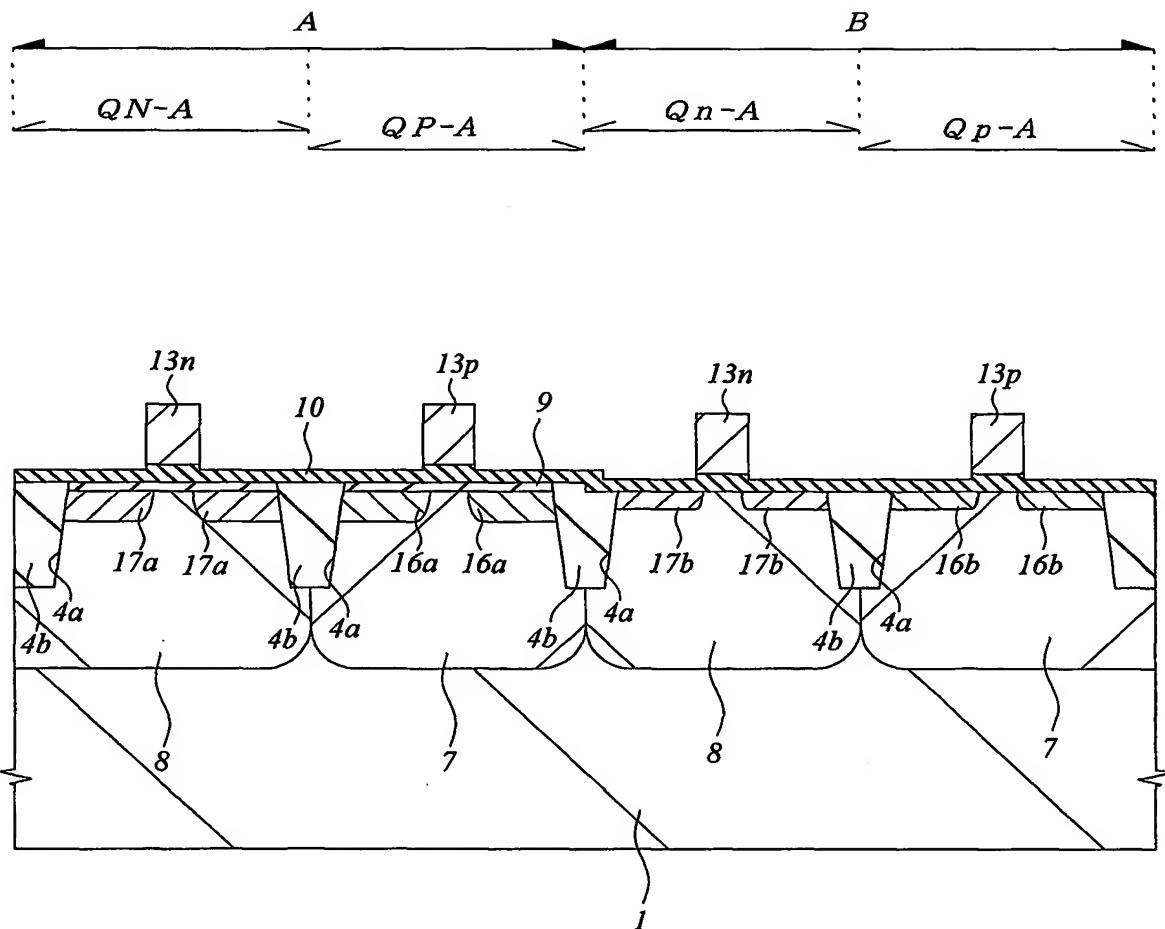
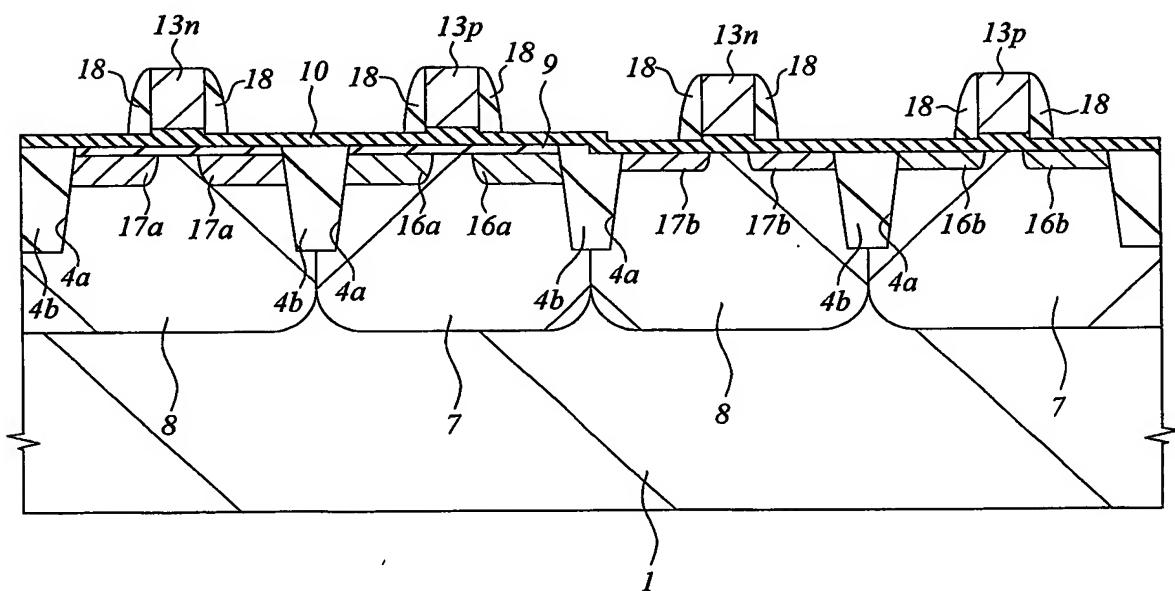
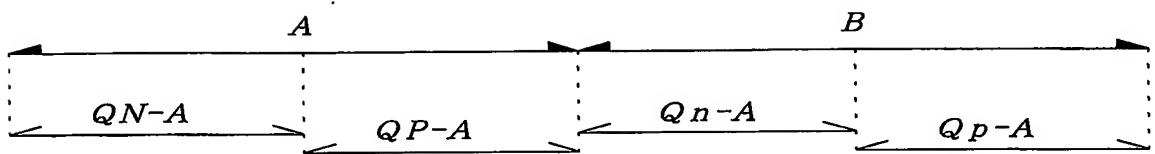


図 21



☒ 22



☒ 23

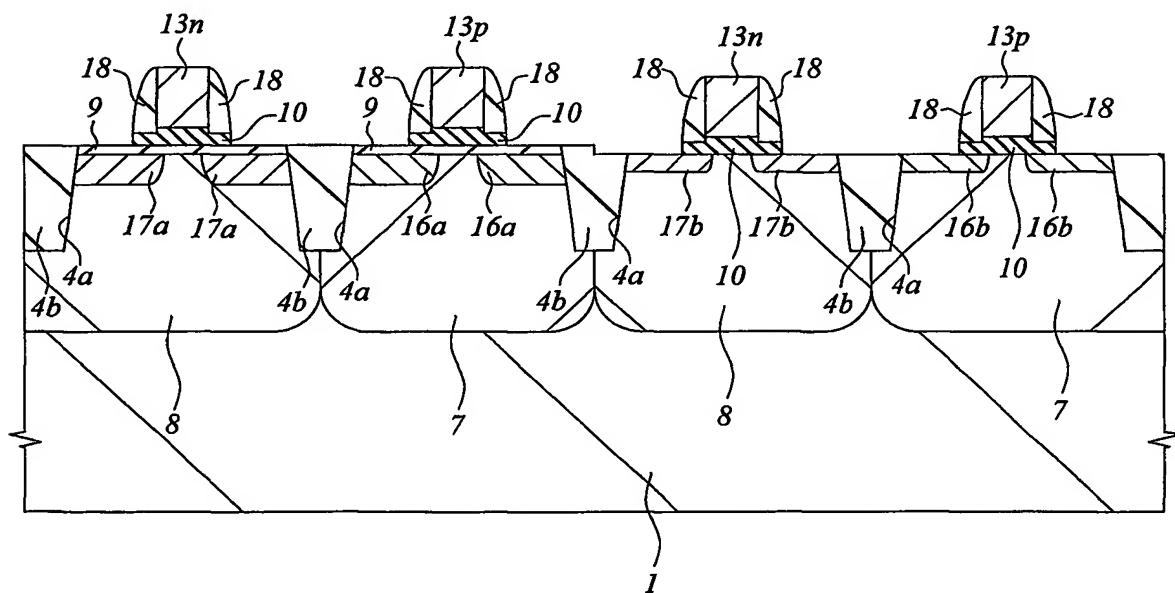
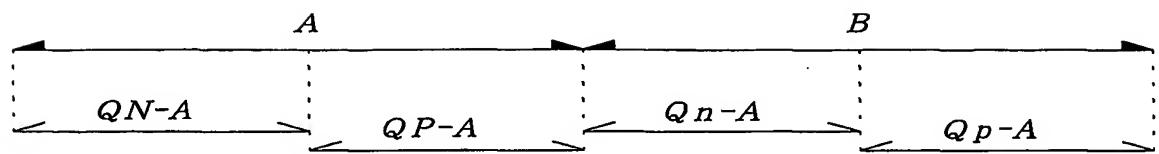


FIG 24

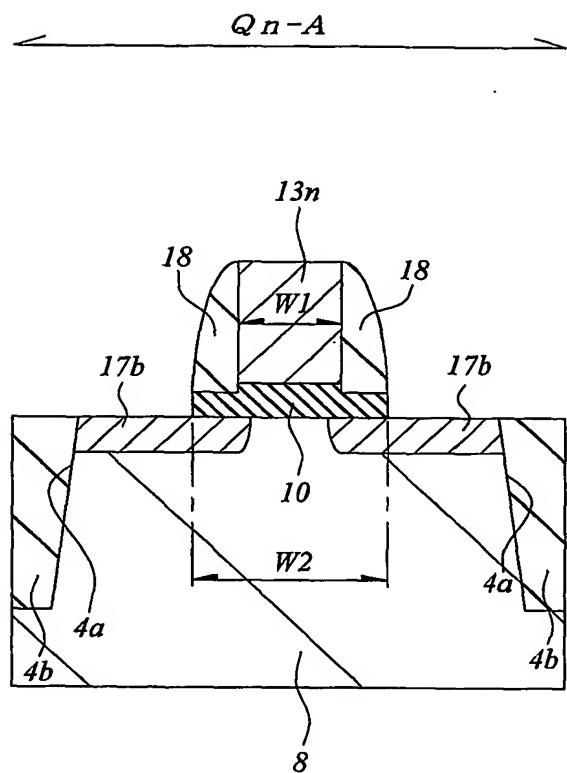
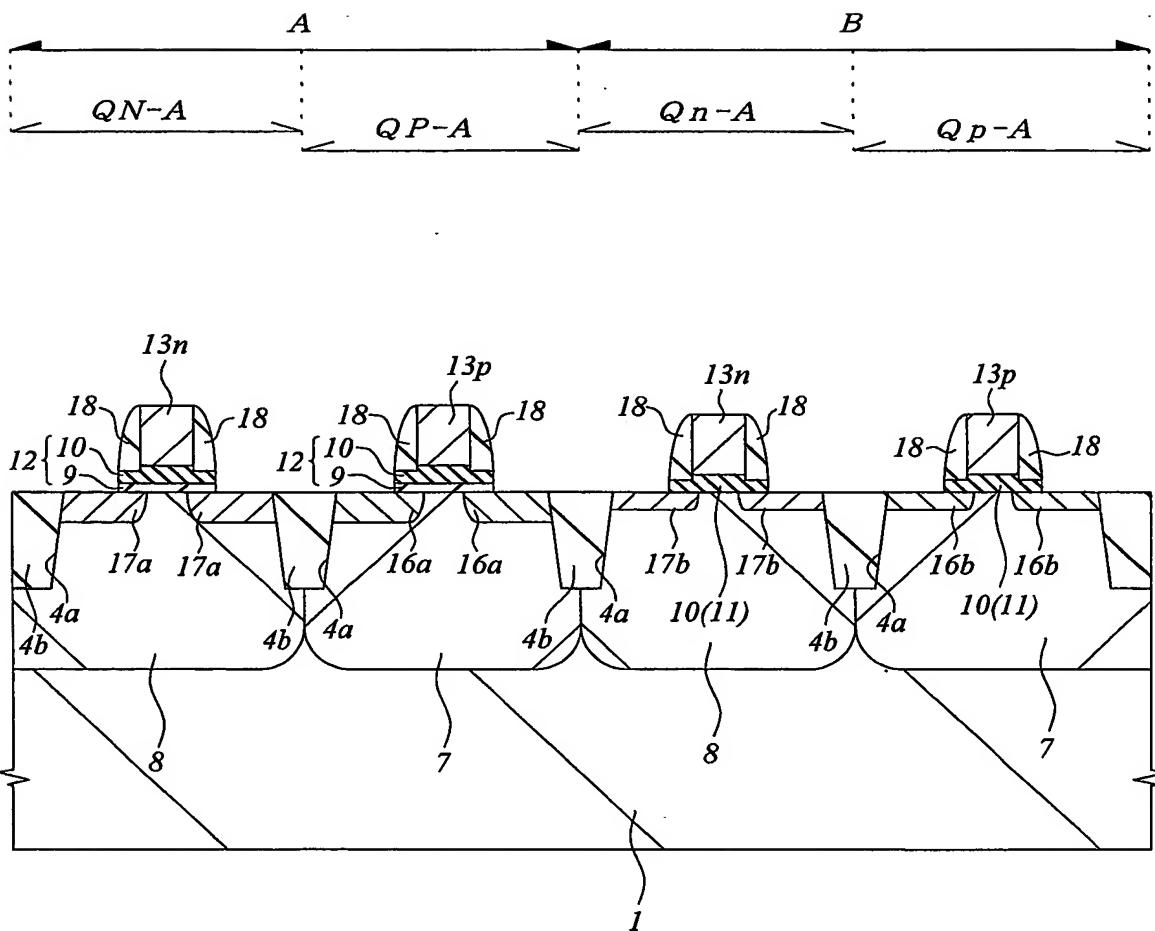
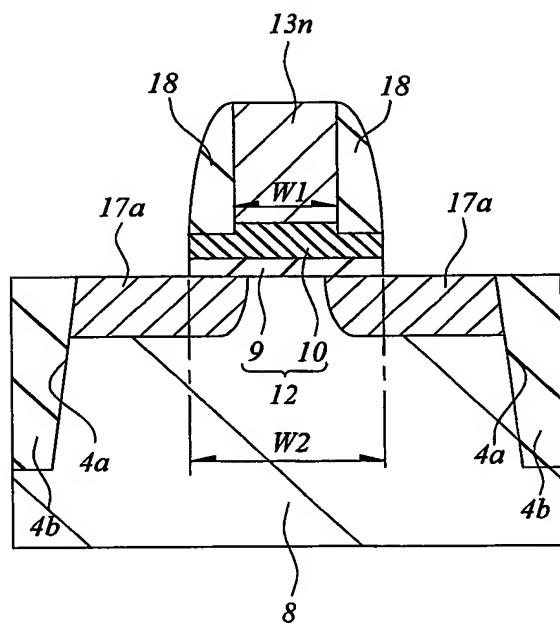


図 25



☒ 26

QN-A



☒ 27

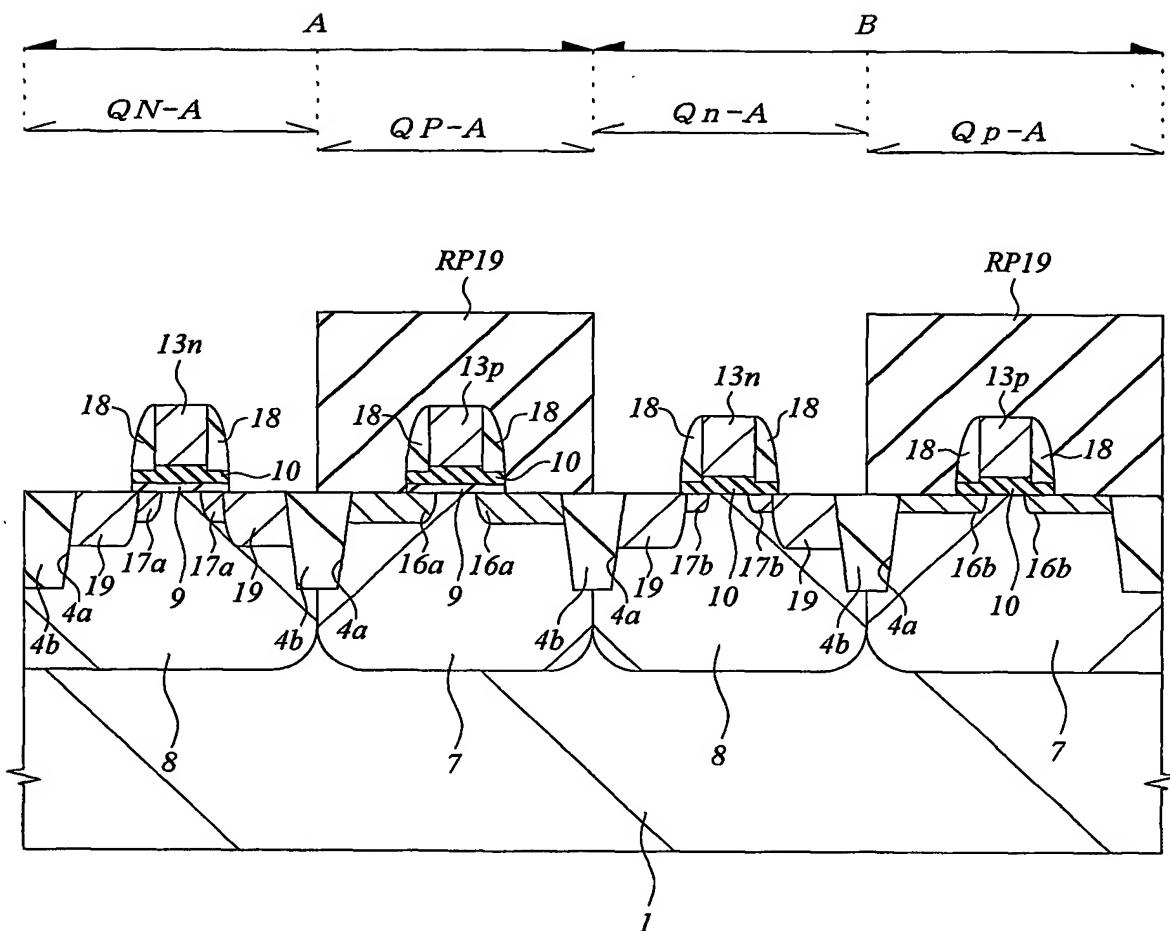
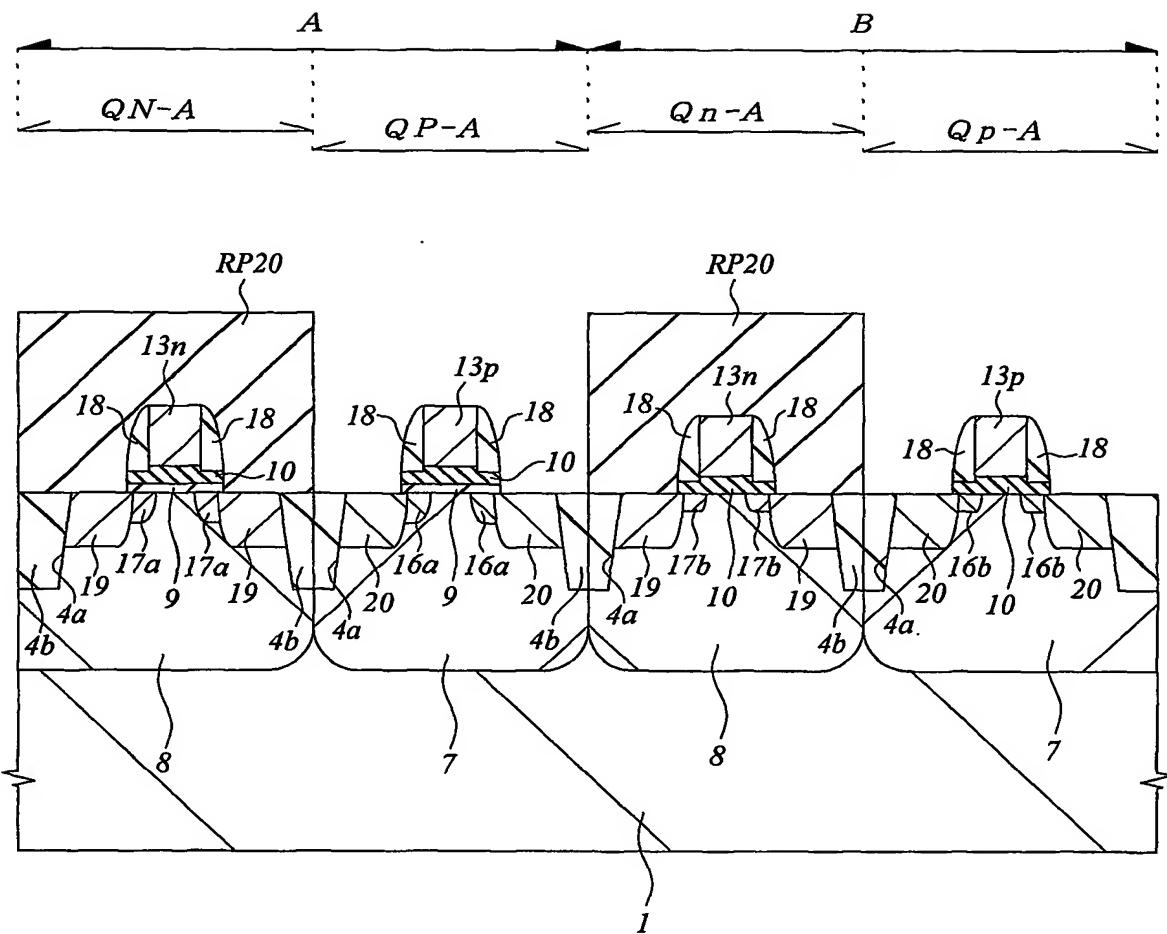


图 28



☒ 29

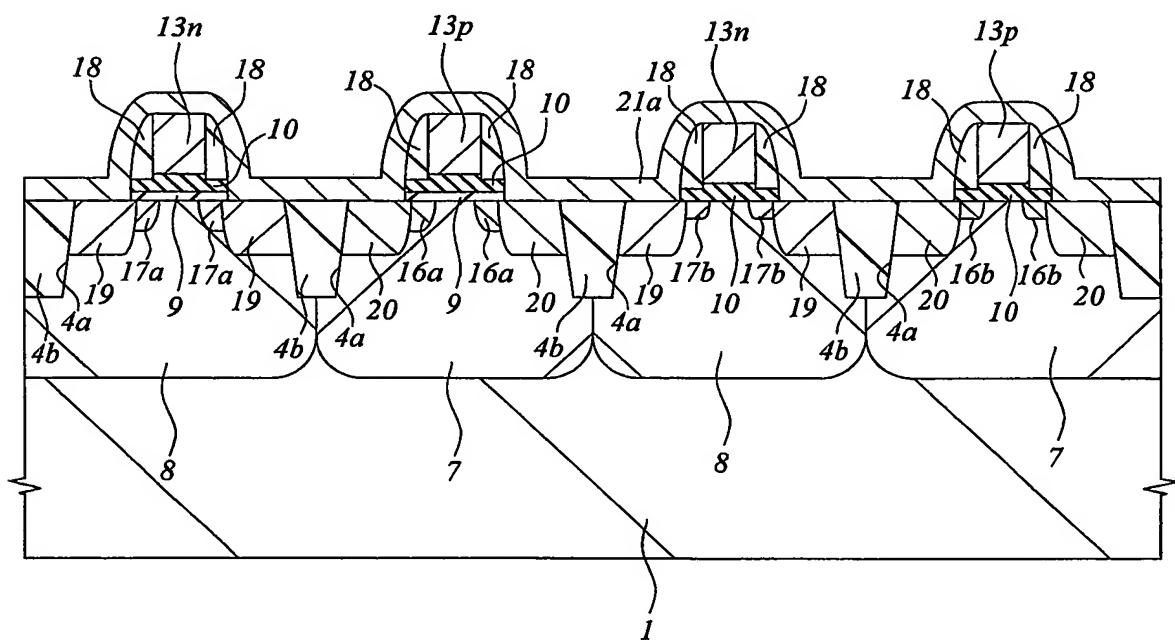
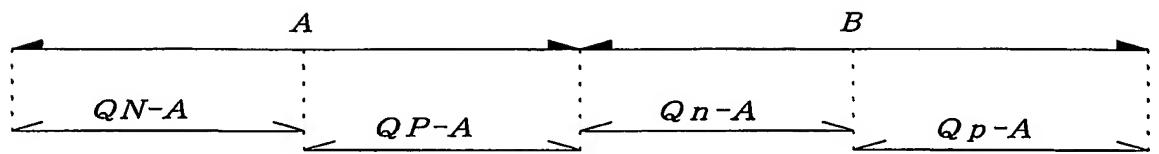
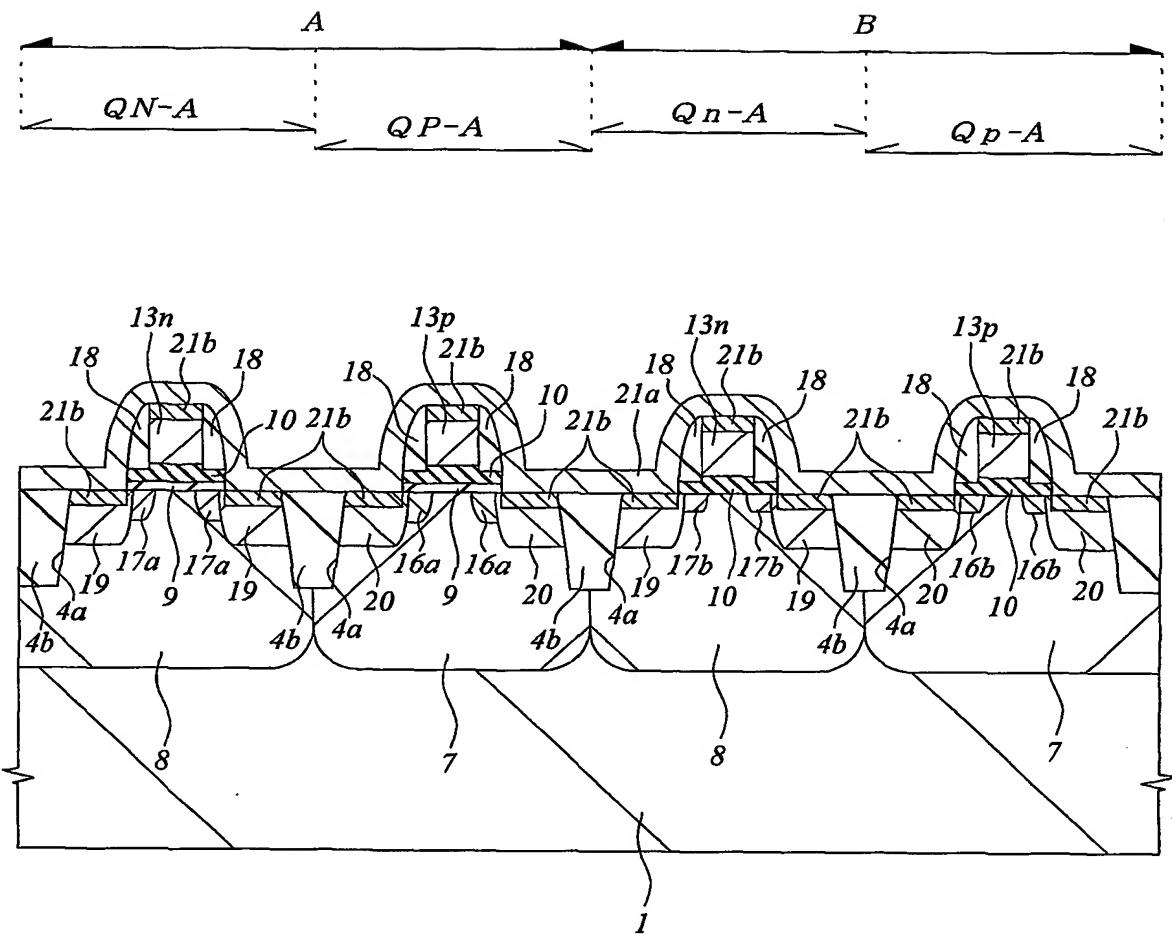


図 30



☒ 31

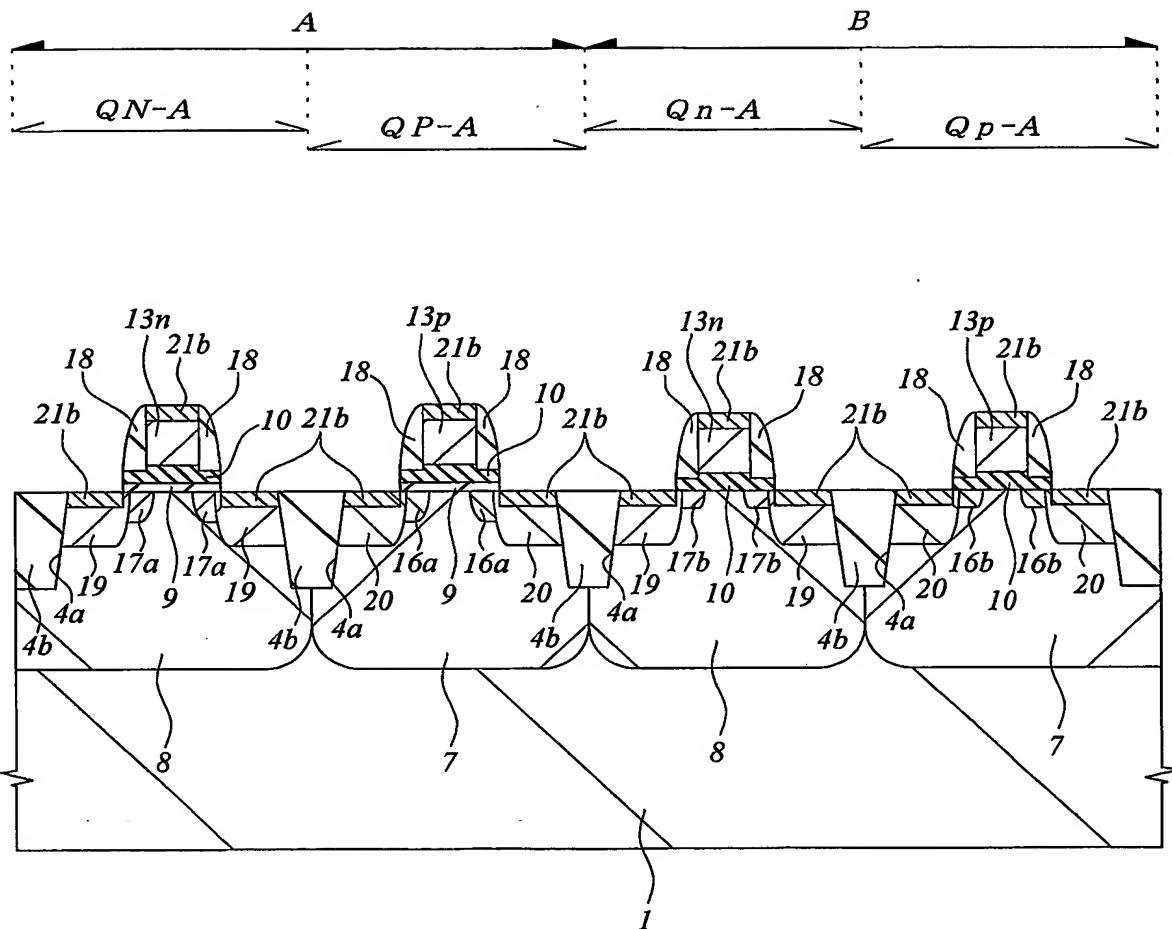
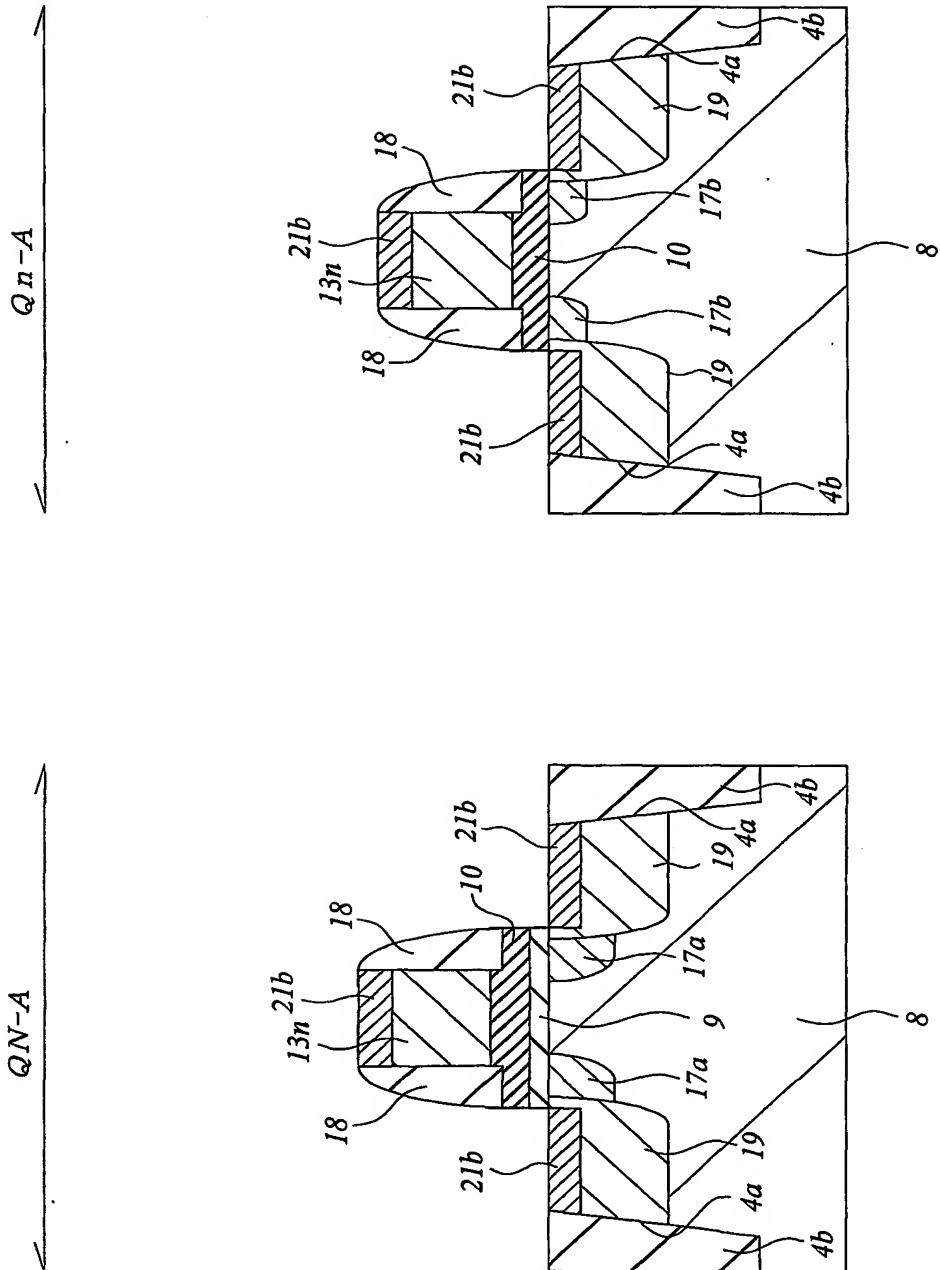
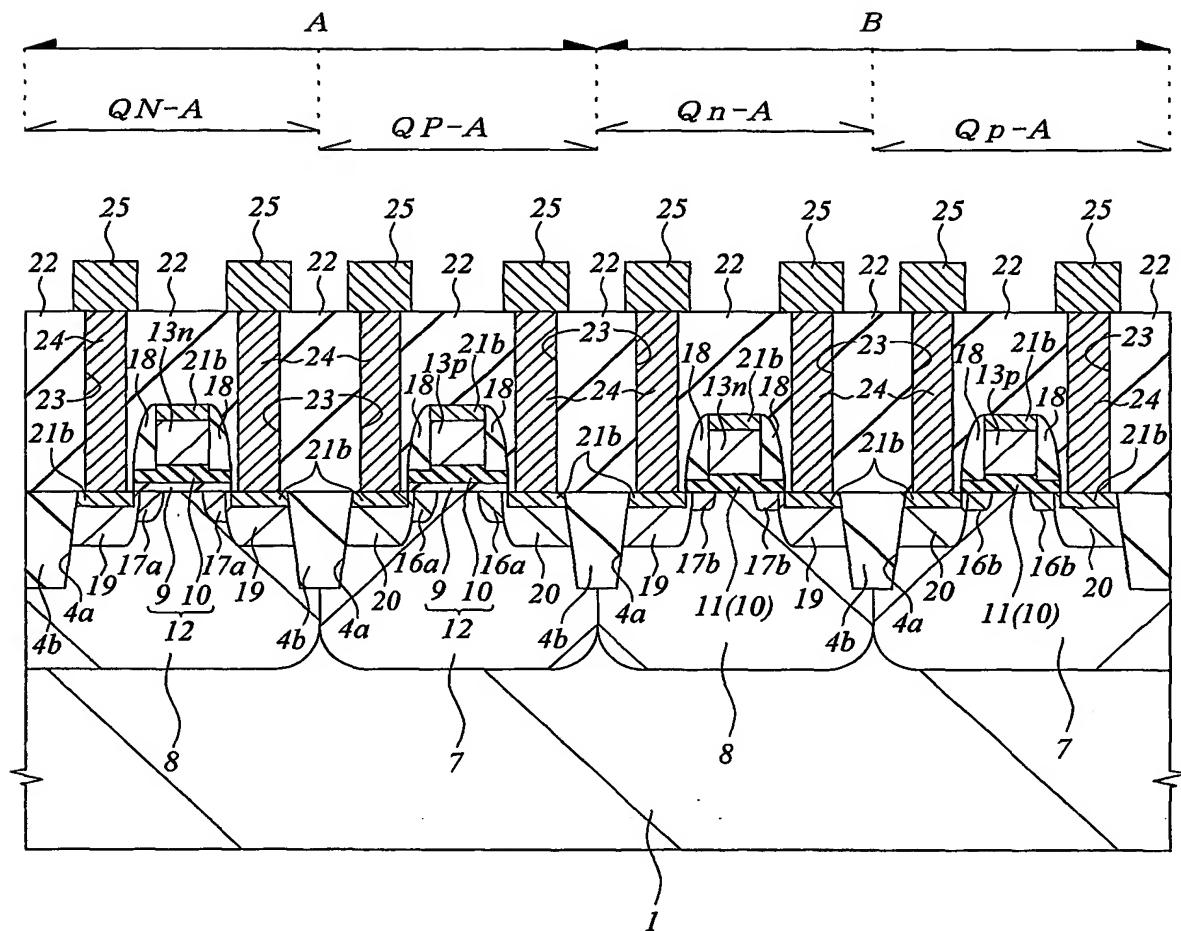


FIG 32

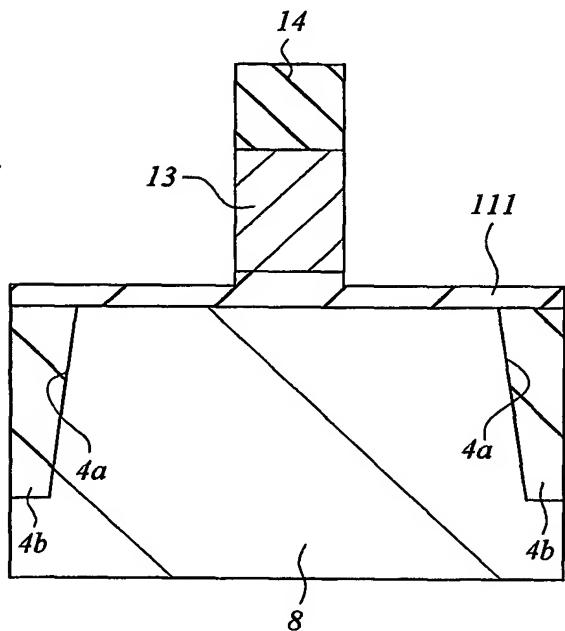


☒ 33



☒ 34

Qn-A



☒ 35

Qn-A

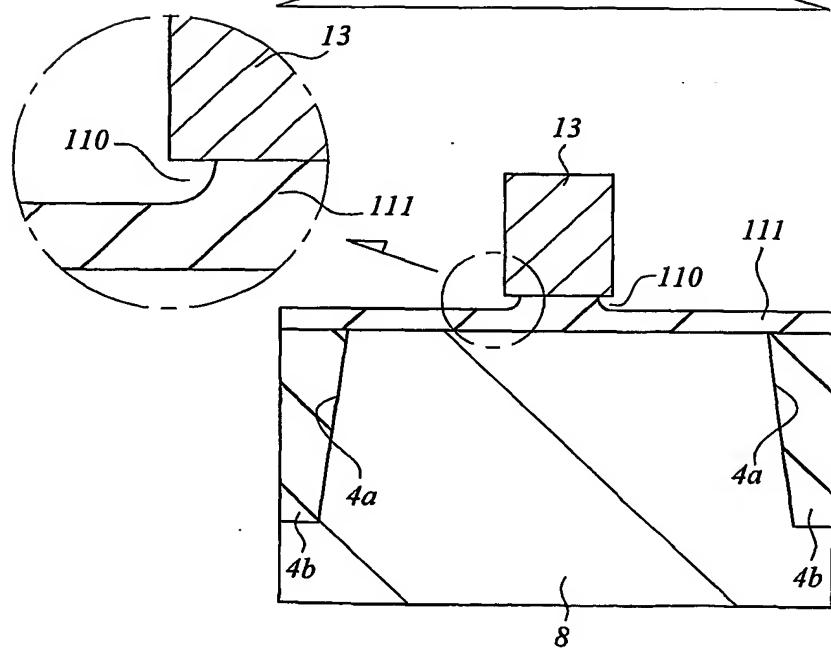
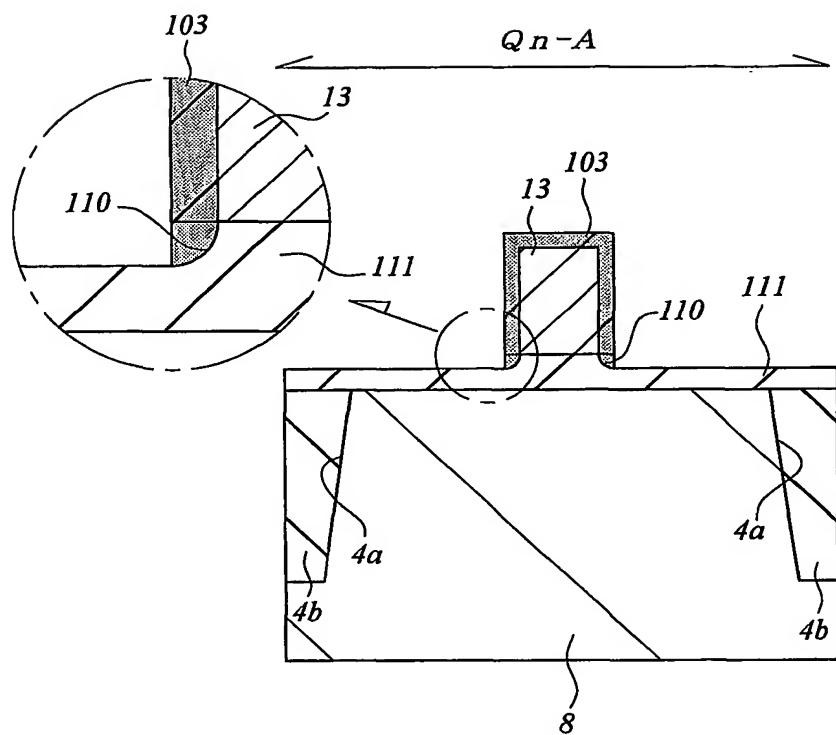
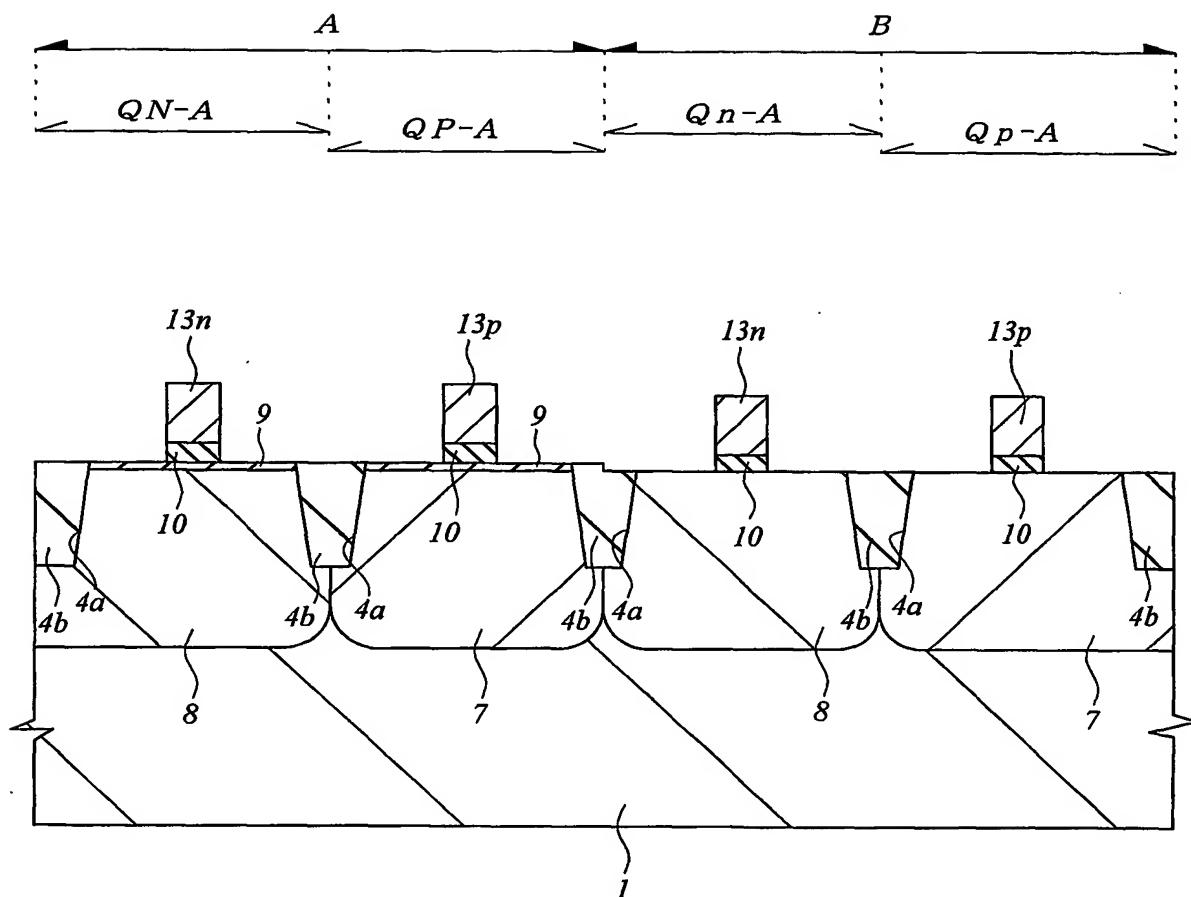


図 36

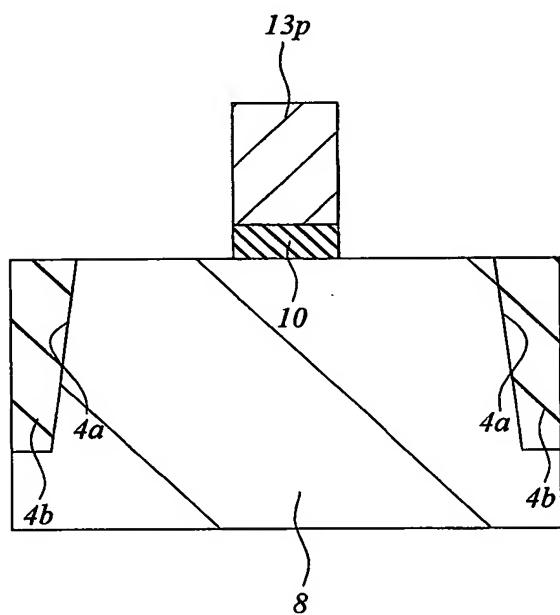


☒ 37



☒ 38

Q n -A



☒ 39

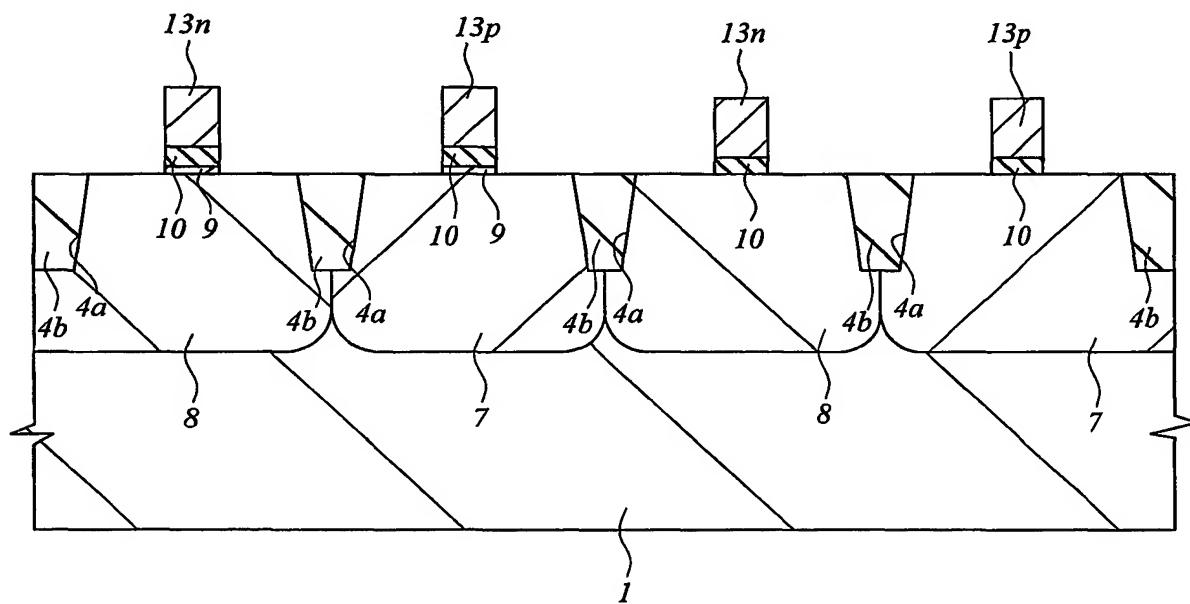
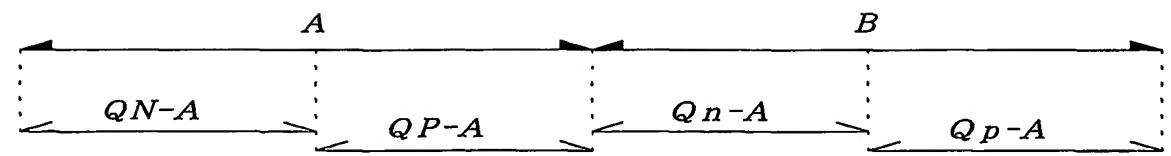
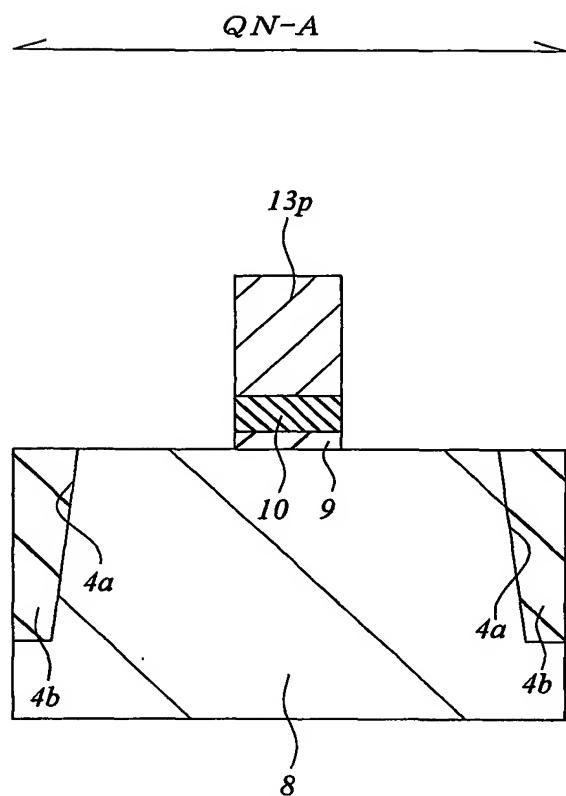
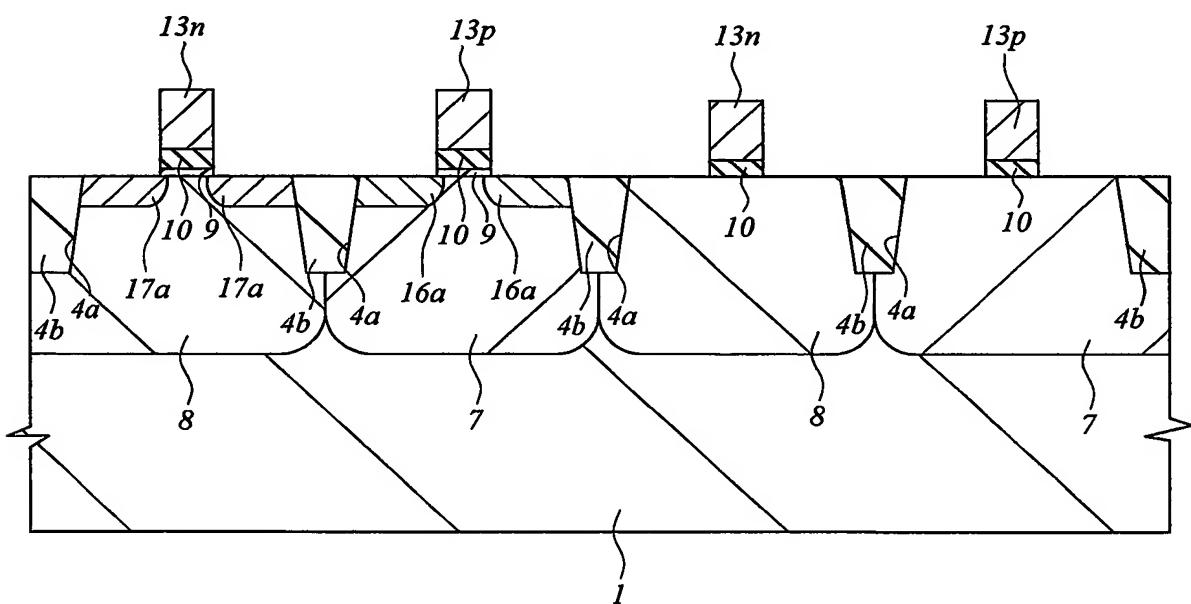
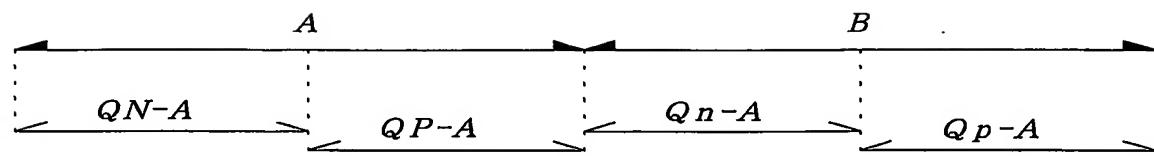


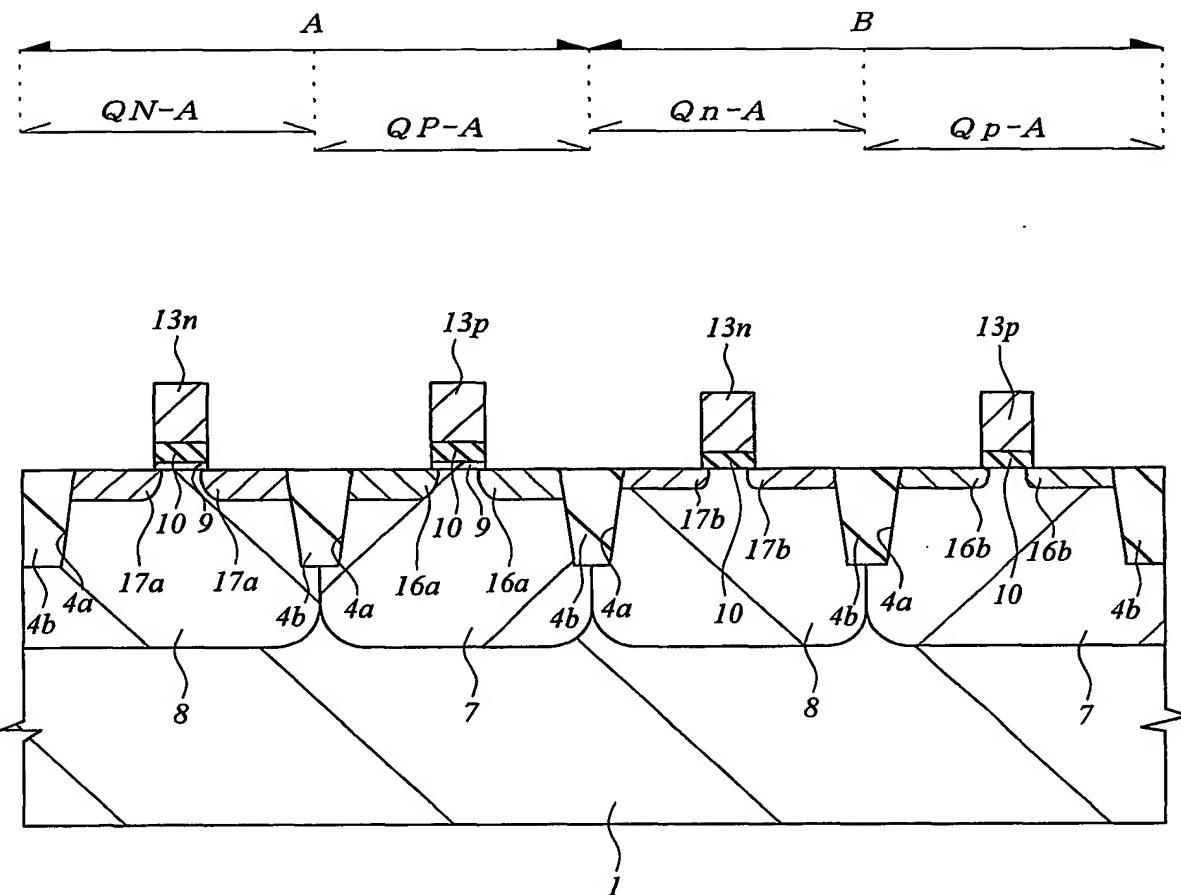
FIG 40



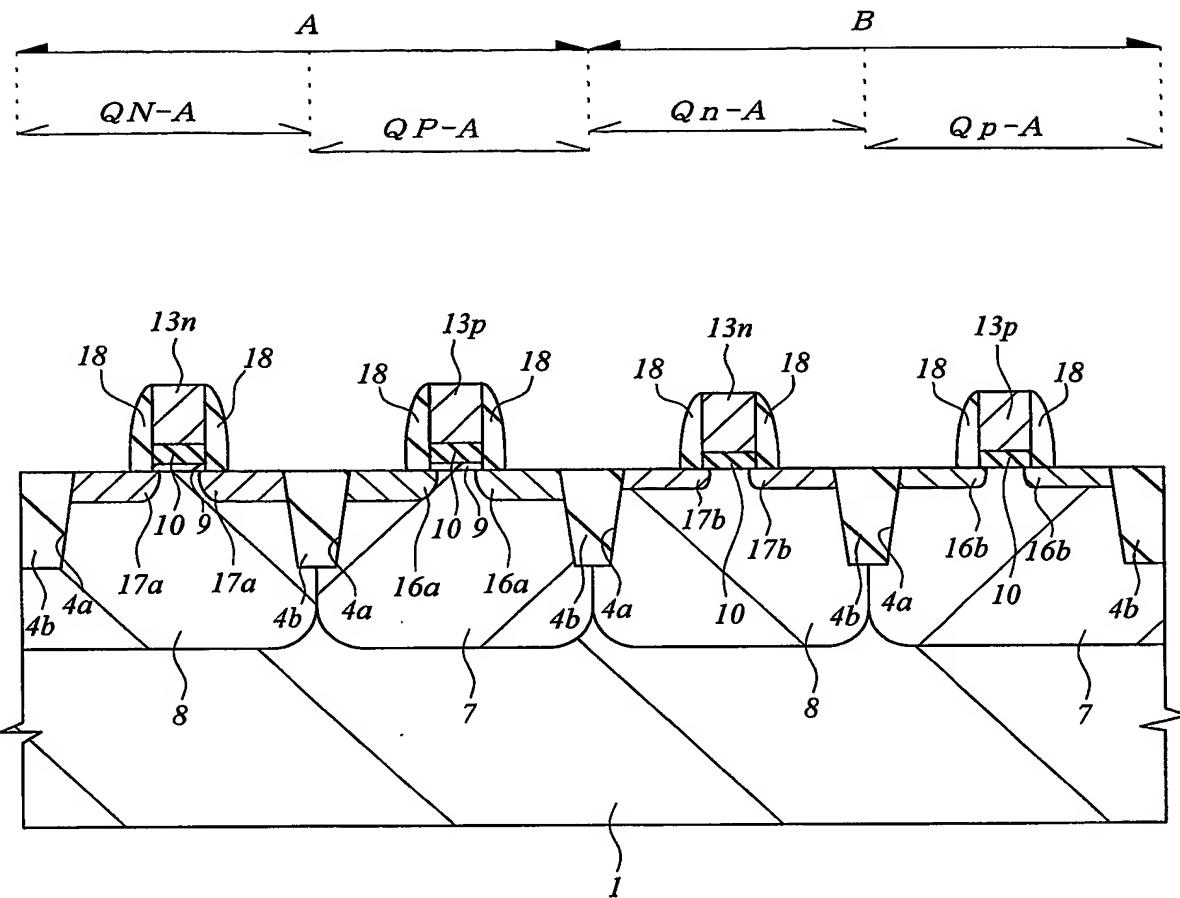
☒ 41



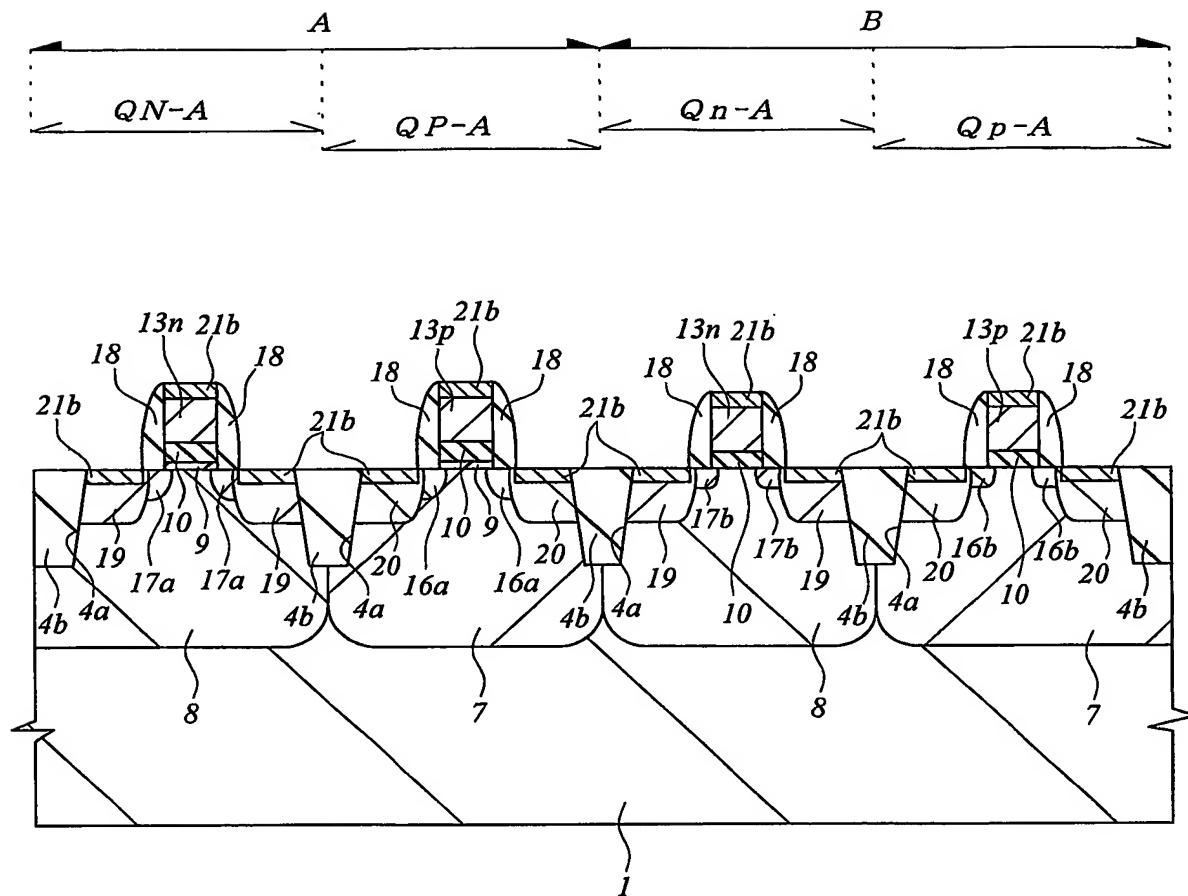
☒ 42



☒ 43



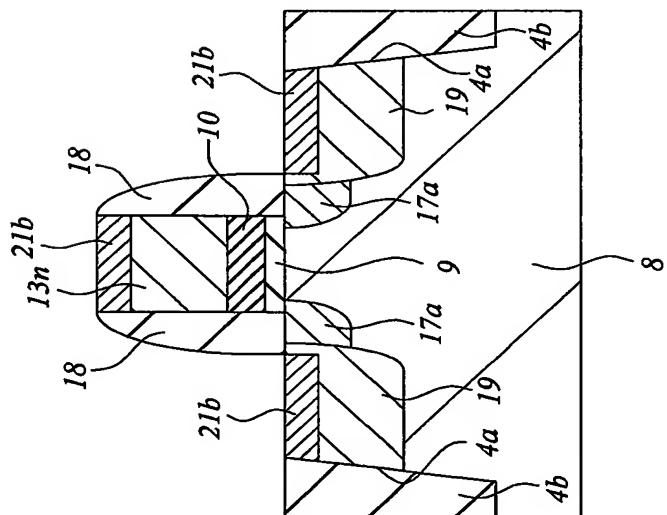
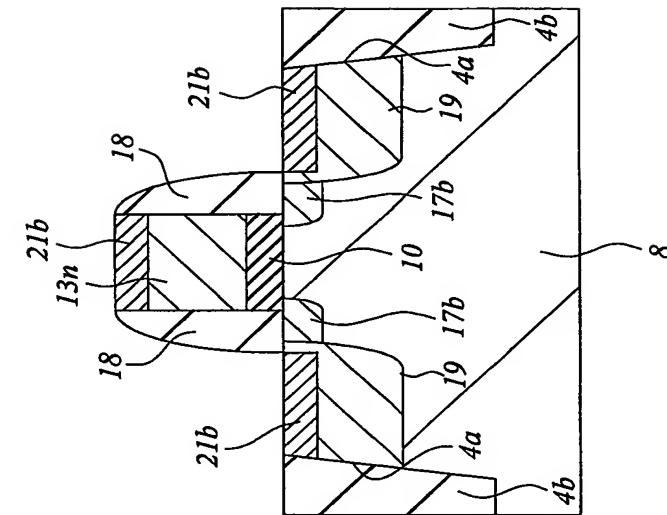
☒ 44



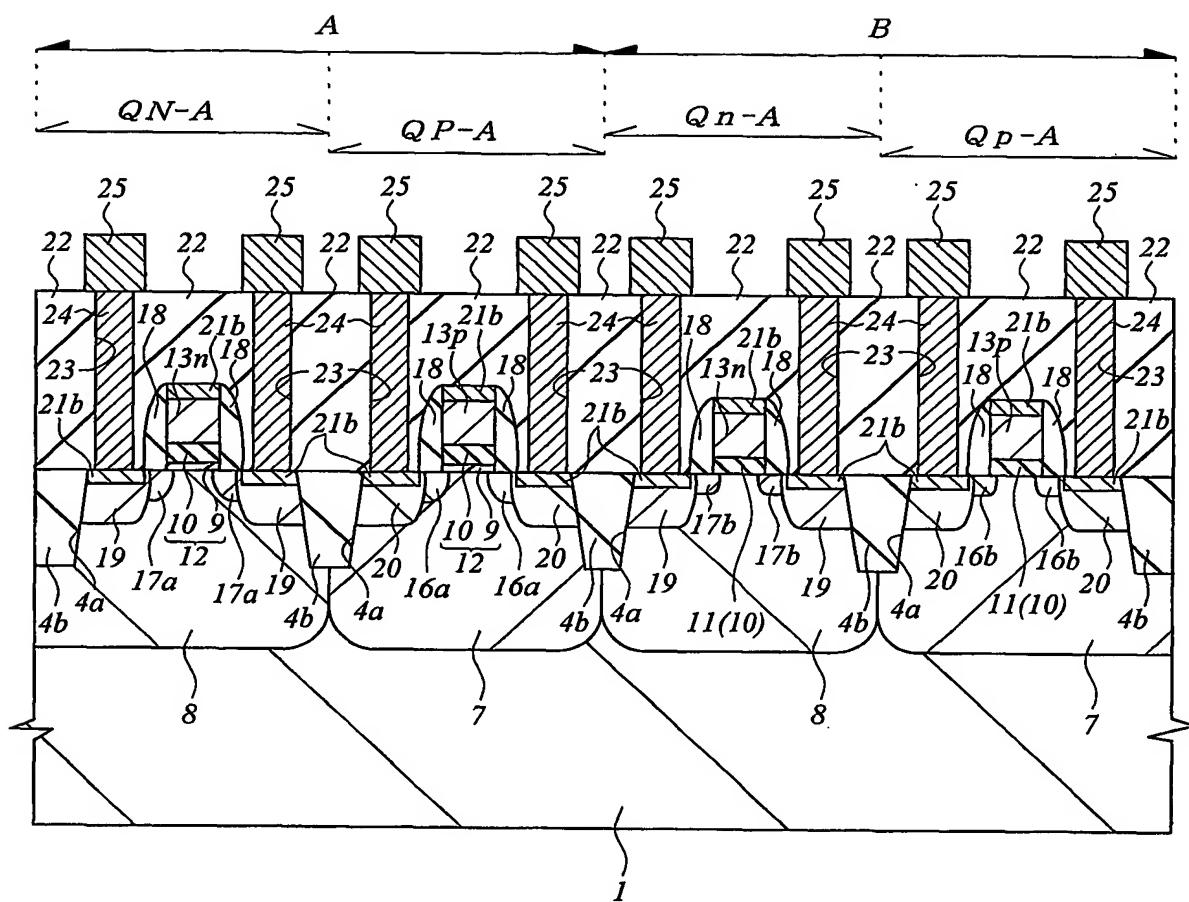
☒ 45

Q n -A

Q N-A



☒ 46



INTERNATIONAL SEARCH REPORT

International application No.

JP02/08284

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L29/78, H01L21/336, H01L21/8238, H01L27/092

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L29/78, H01L21/336, H01L21/8238, H01L27/092

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Jitsuyo Shinan Toroku Koho	1996-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/0047170 A1 (MITSUBISHI DENKI KABUSHIKI KAISHA), 25 April, 2002 (25.04.02), Full text	1-6, 10-14, 18-23 24
Y	Full text	
A	Full text & JP 2002-134739 A Full text & KR 2002033037 A	7-9, 15-17

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
06 November, 2002 (06.11.02)

Date of mailing of the international search report
26 November, 2002 (26.11.02)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No. .

INTERNATIONAL SEARCH REPORT

International application No.

JP02/08284

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2002/0052086 A1 (MITSUBISHI DENKI KABUSHIKI KAISHA), 02 May, 2002 (02.05.02), Full text & JP 2002-141420 A Full text & DE 10124413 A1 & FR 2816109 A1 & KR 2002033493 A	24
X A	US 2001/0028093 A1 (HITACHI LTD.), 11 October, 2001 (11.10.01), Full text Full text & JP 2001-284283 A Full text & KR 2001094985 A	1-5, 18-21 6-17, 22-24
X A	JP 2002-217414 A (Matsushita Electric Industrial Co., Ltd.), 02 August, 2002 (02.08.02), Full text (Family: none) Full text (Family: none)	1-4, 15-21 5-17, 22-24

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl' H01L29/78, H01L21/336, H01L21/8238, H01L27/092

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl' H01L29/78, H01L21/336, H01L21/8238, H01L27/092

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2002年

日本国登録実用新案公報 1994-2002年

日本国実用新案登録公報 1996-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	US 2002/0047170 A1 (MITSUBISHI DENKI KABUSHIKI KAISHA) 2002. 04. 25 全文	1-6, 10-14, 18-23
Y	全文	24
A	全文 & JP 2002-134739 A 全文 & KR 2002033037 A	7-9, 15-17

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

06. 11. 02

国際調査報告の発送日

26.11.02

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

松嶋 秀忠

4M 9836



電話番号 03-3581-1101 内線 3460

C(続き)	関連すると認められる文献	
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	US 2002/0052086 A1 (MITSUBISHI DENKI KABUSHIKI KAISHA) 2002. 05. 02 全文 & JP 2002-141420 A 全文 & DE 10124413 A1 & FR 2816109 A1 & KR 2002033493 A	24
X A	US 2001/0028093 A1 (HITACHI LTD.) 2001. 10. 11 全文 全文 & JP 2001-284283 A 全文 & KR 2001094985 A	1-5, 18-21 6-17, 22-24
X A	JP 2002-217414 A(松下電器産業株式会社) 2002. 08. 02 全文(ファミリーなし) 全文(ファミリーなし)	1-4, 18-21 5-17, 22-24